

0560
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Daisuke SATO et al.

Application No. 09/688,045



Filed: October 12, 2000

Docket No.: 107259

For: DATA TRANSFER CONTROL DEVICE AND ELECTRONIC EQUIPMENT

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 11-293590 filed October 15, 1999.

In support of this claim, a certified copy of said original foreign application:

 X is filed herewith.

 was filed on in Parent Application No. filed .

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/fpw

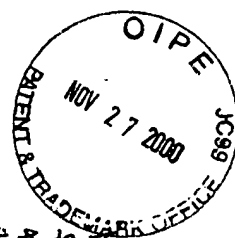
Date: November 27, 2000

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年10月15日

出 願 番 号

Application Number:

平成11年特許願第293590号

出 願 人

Applicant(s):

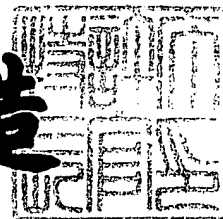
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 8月18日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3065701

【書類名】 特許願

【整理番号】 EP211601

【提出日】 平成11年10月15日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/12

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 佐藤 大輔

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 堀内 浩

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大 淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御装置及び電子機器

【特許請求の範囲】

【請求項 1】 バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

ハードウェアによる連続パケット転送を指示する第 1 のスタートコマンドを処理手段が発行した場合に、転送データを一連のパケットに分割し、分割された一連のパケットを連続転送する処理を実行する転送実行回路と、

前記転送実行回路により連続パケット転送処理が実行されている間に、パケット転送を指示する第 2 のスタートコマンドを処理手段が発行した場合には、連続パケット転送における 1 つのトランザクション又は 1 つのパケット転送の完了を待って、前記第 2 のスタートコマンドによるパケット転送を許可する調停回路と

を含むことを特徴とするデータ転送制御装置。

【請求項 2】 請求項 1 において、

前記転送実行回路が、

相手ノードの記憶手段にページテーブルが存在する場合には、該ページテーブルを相手ノードからフェッチするページテーブルフェッチ回路と、相手ノードの記憶手段にページテーブルが存在しない場合には、ページ境界情報に基づいて仮想的なページテーブルを生成するページテーブル生成回路と、ペイロードサイズのパケットに転送データを分割するペイロード分割回路と、データ転送の実行を制御する転送実行制御回路と、相手ノードに送信する要求パケットの制御情報を生成する制御情報生成回路の少なくとも 1 つを含むことを特徴とするデータ転送制御装置。

【請求項 3】 請求項 1 又は 2 において、

前記調停回路が、

前記転送実行回路による転送開始要求時にアクティブになる第 1 のスタート信号と、前記第 2 のスタートコマンドによる転送開始要求時にアクティブになる第

2 のスタート信号と、転送完了時にアクティブになる完了信号とを受け、前記第 1 のスタート信号がアクティブになった後に前記第 2 のスタート信号がアクティブになった場合には、前記第 1 のスタート信号による転送処理を先にスタートさせ、前記完了信号がアクティブになった後に、前記第 2 のスタート信号による転送処理をスタートさせることを特徴とするデータ転送制御装置。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

前記調停回路が、

前記転送実行回路による転送開始要求時にアクティブになる第 1 のスタート信号と、前記第 2 のスタートコマンドによる転送開始要求時にアクティブになる第 2 のスタート信号と、転送完了時にアクティブになる完了信号とを受け、前記第 1、第 2 のスタート信号が同時にアクティブになった場合には、前記第 2 のスタート信号による転送処理を優先することを特徴とするデータ転送制御装置。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

前記調停回路が、

前記転送実行回路による転送開始要求時にアクティブになる第 1 のスタート信号と、前記第 2 のスタートコマンドによる転送開始要求時にアクティブになる第 2 のスタート信号と、転送完了時にアクティブになる完了信号とを受け、前記第 2 のスタート信号がアクティブになった後に前記第 1 のスタート信号がアクティブになった場合には、前記第 2 のスタート信号による転送処理を先にスタートさせ、前記完了信号がアクティブになった後に、前記第 1 のスタート信号による転送処理をスタートさせることを特徴とするデータ転送制御装置。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、

パケットの制御情報が格納される制御情報領域とパケットのデータが格納されるデータ領域とを有し、ランダムアクセス可能なパケット記憶手段と、

前記パケット記憶手段への書き込みアドレスを発生するアドレス発生回路とを含み、

前記パケット記憶手段の前記制御情報領域が、第 1 の制御情報領域と、前記転送実行回路により制御情報が書き込まれる第 2 の制御情報領域とに分離されており、

前記アドレス発生回路が、前記調停回路からの調停結果に基づいて、第 1 の制御情報領域のアドレスと第 2 の制御情報領域のアドレスのいずれのアドレスを発生するのかを切り替えることを特徴とするデータ転送制御装置。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、

パケットの制御情報が格納される制御情報領域とパケットのデータが格納されるデータ領域とを有し、ランダムアクセス可能なパケット記憶手段を含み、

前記パケット記憶手段の前記データ領域が、第 1 の層用の第 1 のデータが格納される第 1 のデータ領域と、前記転送実行回路による連続パケット転送の対象となる第 2 の層用の第 2 のデータが格納される第 2 のデータ領域とに分離されていることを特徴とするデータ転送制御装置。

【請求項 8】 請求項 7 において、

トランザクションをスタートさせる要求パケットを相手ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、相手ノードから応答パケットを受信した際に行う処理を指示するための指示情報を含ませ、

相手ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報に基づき、応答パケットの制御情報、第 1、第 2 のデータを、各々、前記制御情報領域、前記第 1、第 2 のデータ領域に書き込むことを特徴とするデータ転送制御装置。

【請求項 9】 請求項 1 乃至 8 のいずれかにおいて、

IEEE 1394 の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

【請求項 10】 請求項 1 乃至 9 のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

【請求項 11】 請求項 1 乃至 9 のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードに転送するデータに所与

の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ転送制御装置及びこれを含む電子機器に関し、特に、バスに接続される複数のノード間でIEEE1394などの規格に準じたデータ転送を行うデータ転送制御装置及びこれを含む電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

近年、IEEE1394と呼ばれるインターフェース規格が脚光を浴びている。このIEEE1394は、次世代のマルチメディアにも対応可能な高速シリアルバスインターフェースを規格化したものである。このIEEE1394によれば、動画像などのリアルタイム性が要求されるデータも扱うことができる。また、IEEE1394のバスには、プリンタ、スキャナ、CD-RWドライブ、ハードディスクドライブなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TVなどの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

【0003】

さて、このIEEE1394においては、バスに電子機器が新たに接続されたり、バスから電子機器が取り外されたりして、バスに接続されるノードが増減すると、いわゆるバスリセットが発生する。そしてバスリセットが発生するとノードのトポロジ情報がクリアされ、その後、トポロジ情報が自動的に再設定される。即ち、バスリセットの発生後、ツリー識別（ルートノードの決定）、自己識別が行われ、その後、アイソクロナスリソースマネージャ等の管理ノードが決定される。そして通常の packets 転送が開始される。

【0004】

しかしながら、このIEEE1394に準拠したデータ転送制御装置には次の

ような課題があることが判明した。

【0005】

即ち、現在のIEEE1394規格によれば最大で400Mbpsの転送速度が実現可能となっている。しかし、現実には、処理のオーバーヘッドの存在に起因して、システム全体の実転送速度はこれよりもかなり低くなっている。つまり、CPU上で動作するファームウェア（処理手段）が、転送データを準備したり、転送データをパケットに分割したり、転送開始コマンドを発行したりするなどの処理に多くの時間を要してしまい、バス上での転送速度が速くても、結局、高速なデータ転送を実現できない。

【0006】

特に、周辺機器に組み込まれるCPUは、パーソナルコンピュータなどのホストシステムに組み込まれるCPUに比べて処理能力が低い。このため、ファームウェア等の処理のオーバーヘッドの問題は、非常に深刻なものとなる。従って、このようなオーバーヘッドの問題を効果的に解消できる技術が望まれている。

【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ファームウェア等の処理のオーバーヘッドを軽減し、小規模なハードウェアで高速なデータ転送を実現できるデータ転送制御装置及びこれが用いられる電子機器を提供することにある。

【0008】

【課題を解決するための手段】

上記課題を解決するために本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、ハードウェアによる連続パケット転送を指示する第1のスタートコマンドを処理手段が発行した場合に、転送データを一連のパケットに分割し、分割された一連のパケットを連続転送する処理を実行する転送実行回路と、前記転送実行回路により連続パケット転送処理が実行されている間に、パケット転送を指示する第2のスタートコマンドを処理手段が発行した場合には、連続パケット転送における1つのトランザクション又は1つのパケット転送の完了を待って、前記第2のスタートコマンドによるパケット

転送を許可する調停回路とを含むことを特徴とする。

【0009】

本発明によれば、処理手段が第1のスタートコマンドを発行すると、ハードウェアにより、転送データが複数のパケットに分割されて連続転送される。従って、処理手段は、第1のスタートコマンドを発行した後は、連続パケット転送が完了するのを待つだけでよい。ため、処理手段の処理負担を格段に軽減できる。

【0010】

そして、一旦、このような連続パケット転送が開始してしまうと、全てのパケットの転送が完了するまで、ある程度の待ち時間が必要になる。従って、連続パケット転送の完了を待っていたのでは、第2のスタートコマンドによるパケット転送に不具合が生じる可能性がある。

【0011】

本発明によれば、連続パケット転送の最中に、第2のスタートコマンドによるパケット転送を割り込ませることができるため、連続パケット転送が全て完了するのを待つことなく、第2のスタートコマンドによるパケット転送を実行できるようになる。従って、上記のような不具合が生じるのを効果的に防止できる。

【0012】

また本発明は、前記転送実行回路が、相手ノードの記憶手段にページテーブルが存在する場合には、該ページテーブルを相手ノードからフェッチするページテーブルフェッチ回路と、相手ノードの記憶手段にページテーブルが存在しない場合には、ページ境界情報に基づいて仮想的なページテーブルを生成するページテーブル生成回路と、ペイロードサイズのパケットに転送データを分割するペイロード分割回路と、データ転送の実行を制御する転送実行制御回路と、相手ノードに送信する要求パケットの制御情報を生成する制御情報生成回路の少なくとも1つを含むことを特徴とする。このような回路ブロックを含ませることで、ページテーブルのフェッチ・生成処理や、パケットのペイロード分割処理や、データ転送の実行を制御する処理や、要求パケットの制御情報（ヘッダ等）を生成する処理などをハードウェアにより実行できるようになる。これにより、処理手段の負担を大幅に軽減できる。

【 0 0 1 3 】

また本発明は、前記調停回路が、前記転送実行回路による転送開始要求時にアクティブになる第1のスタート信号と、前記第2のスタートコマンドによる転送開始要求時にアクティブになる第2のスタート信号と、転送完了時にアクティブになる完了信号とを受け、前記第1のスタート信号がアクティブになった後に前記第2のスタート信号がアクティブになった場合には、前記第1のスタート信号による転送処理を先にスタートさせ、前記完了信号がアクティブになった後に、前記第2のスタート信号による転送処理をスタートさせることを特徴とする。このようにすれば、第1のスタート信号が第2の信号よりも先にアクティブになった場合には、第1のスタート信号による転送処理（トランザクション、パケット転送）を実行し、その転送処理の完了を待って、第2のスタート信号による転送処理を実行できるようになる。

【 0 0 1 4 】

また本発明は、前記調停回路が、前記転送実行回路による転送開始要求時にアクティブになる第1のスタート信号と、前記第2のスタートコマンドによる転送開始要求時にアクティブになる第2のスタート信号と、転送完了時にアクティブになる完了信号とを受け、前記第1、第2のスタート信号が同時にアクティブになった場合には、前記第2のスタート信号による転送処理を優先することを特徴とする。このようにすれば、例えば、相手ノードから要求パケットが転送されてきた場合などに、この要求パケットに対して直ぐに応答パケットを返せるようになる。

【 0 0 1 5 】

また本発明は、前記調停回路が、前記転送実行回路による転送開始要求時にアクティブになる第1のスタート信号と、前記第2のスタートコマンドによる転送開始要求時にアクティブになる第2のスタート信号と、転送完了時にアクティブになる完了信号とを受け、前記第2のスタート信号がアクティブになった後に前記第1のスタート信号がアクティブになった場合には、前記第2のスタート信号による転送処理を先にスタートさせ、前記完了信号がアクティブになった後に、前記第1のスタート信号による転送処理をスタートさせることを特徴とする。こ

のようにすれば、第2のスタート信号が第1の信号よりも先にアクティブになった場合には、第2のスタート信号による転送処理（トランザクション、パケット転送）を実行し、その転送処理の完了を待って、第1のスタート信号による転送処理を実行できるようになる。

【0016】

また本発明は、パケットの制御情報が格納される制御情報領域とパケットのデータが格納されるデータ領域とを有し、ランダムアクセス可能なパケット記憶手段と、前記パケット記憶手段への書き込みアドレスを発生するアドレス発生回路とを含み、前記パケット記憶手段の前記制御情報領域が、第1の制御情報領域と、前記転送実行回路により制御情報が書き込まれる第2の制御情報領域とに分離されており、前記アドレス発生回路が、前記調停回路からの調停結果に基づいて、第1の制御情報領域のアドレスと第2の制御情報領域のアドレスのいずれのアドレスを発生するのかを切り替えることを特徴とする。このようにすれば、第1、第2の制御情報領域のアドレスを簡素な処理で切り替えることができるようになる。そして、このようなアドレス切替が可能になることで、第2の制御情報領域に対して、転送実行回路が生成した制御情報を連続して書き込めるようになり、ハードウェアによる制御情報の生成・書き込み処理の簡素化を図れる。

【0017】

また本発明は、パケットの制御情報が格納される制御情報領域とパケットのデータが格納されるデータ領域とを有し、ランダムアクセス可能なパケット記憶手段を含み、前記パケット記憶手段の前記データ領域が、第1の層用の第1のデータが格納される第1のデータ領域と、前記転送実行回路による連続パケット転送の対象となる第2の層用の第2のデータが格納される第2のデータ領域とに分離されていることを特徴とする。本発明によれば、パケットの制御情報（例えばヘッダ、フッター）は制御情報領域に格納され、パケットの第1のデータ（例えばトランザクション層用のデータ）は第1のデータ領域に格納され、パケットの第2のデータ（例えばアプリケーション層用のデータ）は第2のデータ領域に格納される。このようにすれば、第2のデータ領域から第2のデータを連続して読み出して、第2の層に転送することができるようになる。これにより、データ転送

を飛躍的に高速化できる。

【 0 0 1 8 】

なお本発明では、前記第 1 のデータが、前記第 1 の層のプロトコルで使用されるコマンドデータであり、前記第 2 のデータが、アプリケーション層で使用されるデータであることが望ましい。

【 0 0 1 9 】

また本発明は、トランザクションを開始させる要求パケットを相手ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、相手ノードから応答パケットを受信した際に行う処理を指示するための指示情報を含ませ、相手ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報に基づき、応答パケットの制御情報、第 1、第 2 のデータを、各々、前記制御情報領域、前記第 1、第 2 のデータ領域に書き込むことを特徴とする。このようにすれば、応答ノードから応答パケットが返信されてきた時に、ファームウェアなどの処理手段が関与することなく、指示情報により指示される領域に応答パケットの制御情報、第 1、第 2 のデータが自動的に書き込まれるようになる。従って、処理手段の処理負担を格段に軽減できる。

【 0 0 2 0 】

また、本発明では、IEEE 1394 の規格に準拠したデータ転送を行うことが望ましい。

【 0 0 2 1 】

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする。また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする。

【 0 0 2 2 】

本発明によれば、他のノードから転送されたデータを電子機器において出力したり記憶したりする処理、電子機器において取り込んだデータを他のノードに転送したりする処理を高速化することが可能になる。また、本発明によれば、データ転送制御装置を小規模化できると共に、データ転送を制御するファームウェアなどの処理負担を軽減できるため、電子機器の低コスト化、小規模化などを図ることも可能になる。

【0023】

【発明の実施の形態】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

【0024】

1. IEEE 1394

まず、IEEE 1394について簡単に説明する。

【0025】

1. 1 概要

IEEE 1394 (IEEE 1394-1995, P1394. a) では100～400Mbpsの高速なデータ転送が可能となっている (P1394. bでは800～3200Mbps)。また、転送速度が異なるノードをバスに接続することも許される。

【0026】

各ノードはツリー状に接続されており、1つのバスに最大で63個のノードが接続可能になっている。なお、バスブリッジを利用すれば約64000個のノードを接続することも可能である。

【0027】

IEEE 1394では、パケットの転送方式として非同期転送とアイソクロナス転送が用意されている。ここで非同期転送は、信頼性が要求されるデータの転送に好適な転送方式であり、アイソクロナス転送は、リアルタイム性が要求される動画像や音声などのデータの転送に好適な転送方式である。

【0028】

1. 2 層構造

IEEE 1 3 9 4 の層構造（プロトコル構成）を図 1 に示す。

【 0 0 2 9 】

IEEE 1 3 9 4 のプロトコルは、トランザクション層、リンク層、物理層により構成される。また、シリアルバスマネージメントは、トランザクション層、リンク層、物理層をモニターしたり制御したりするものであり、ノードの制御やバスのリソース管理のための種々の機能を提供する。

【 0 0 3 0 】

トランザクション層は、上位層にトランザクション単位のインターフェース（サービス）を提供し、下層のリンク層が提供するインターフェースを通して、リードトランザクション、ライトトランザクション、ロックトランザクション等のトランザクションを実施する。

【 0 0 3 1 】

ここで、リードトランザクションでは、応答ノードから要求ノードにデータが転送される。一方、ライトトランザクションでは、要求ノードから応答ノードにデータが転送される。またロックトランザクションでは、要求ノードから応答ノードにデータが転送され、応答ノードがそのデータに処理を施して要求ノードに返信する。

【 0 0 3 2 】

リンク層は、アドレッシング、データチェック、パケット送受信のためのデータフレーミング、アイソクロナス転送のためのサイクル制御などを提供する。

【 0 0 3 3 】

物理層は、リンク層により使用されるロジカルシンボルの電気信号への変換や、バスの調停や、バスの物理的インターフェースを提供する。

【 0 0 3 4 】

1. 3 SBP-2

さて、図 2 に示すように、IEEE 1 3 9 4 のトランザクション層の一部の機能を含む上位のプロトコルとして、SBP-2 (Serial Bus Protocol-2) と呼ばれるプロトコルが提案されている。

【 0 0 3 5 】

ここでSBP-2は、SCSIのコマンドセットをIEEE1394のプロトコル上で利用可能にするために提案されたものである。このSBP-2を用いれば、既存のSCSI規格の電子機器で使用されていたSCSIのコマンドセットに最小限の変更を加えて、IEEE1394規格の電子機器に使用できるようになる。従って、電子機器の設計や開発を容易化できる。また、SCSIのコマンドだけではなく、デバイス固有のコマンドもカプセル化して利用できるように、非常に汎用性が高い。

【0036】

図3に示すようにSBP-2では、まず、イニシエータ（例えばパーソナルコンピュータ）により作成されたログインORB（Operation Request Block）を用いてログイン処理が行われる（ステップT1）。次に、ダミーORBを用いてフェッチエージェントの初期化が行われる（ステップT2）。そして、ノーマルコマンドORBを用いてコマンド処理が行われ（ステップT3）、最後に、ログアウトORBを用いてログアウト処理が行われる（ステップT4）。

【0037】

ステップT3のコマンド処理においては、図4のA1に示すように、イニシエータがライト要求パケットを転送して（ライト要求トランザクションを発行して）、ターゲットのドアベルレジスタをリングする。すると、A2に示すように、ターゲットがリード要求パケットを転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータが作成したORB（ノーマルコマンドORB）が、ターゲットのデータバッファにフェッチされる。そして、ターゲットは、フェッチされたORBに含まれるコマンドを解析する。

【0038】

そして、ORBに含まれるコマンドがSCSIのリードコマンドであった場合には、A3に示すように、ターゲットは、一連のライト要求パケットをイニシエータに転送する。これにより、例えばターゲットのメディア（CD-RW）から読み出されたデータ（ストリーム）が、イニシエータのデータバッファに転送されることになる。

【0039】

一方、ORBに含まれるコマンドがSCSIのライトコマンドであった場合には、図5のB1に示すように、ターゲットがリード要求パケットをイニシエータに転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータのデータバッファに格納されているデータ（ストリーム）がターゲットに転送され、ターゲットのメディアに書き込まれることになる（ターゲットがプリンタの場合には印刷される）。

【0040】

このSBP-2によれば、ターゲットは、自身が都合の良いときに要求パケットを転送して（トランザクションを発行して）、データを送受信できる。従って、イニシエータとターゲットが同期して動く必要がなくなるため、データ転送効率を高めることができる。

【0041】

なお、IEEE1394の上位プロトコルとしては、SBP-2以外にも、FCP（Function Control Protocol）と呼ばれるプロトコルなども提案されている。

【0042】

さて、ターゲット、イニシエータ間でデータ転送を行う場合、図6（A）のようにイニシエータ（相手ノード）のデータバッファ（記憶手段）にページテーブルが存在する場合と、存在しない場合がある。

【0043】

そして、ページテーブルが存在する場合には、図6（B）に示すように、イニシエータが作成したORBの中には、そのページテーブルのアドレスやエレメント数が含まれる。そして、転送データのアドレス（読み出しアドレス、書き込みアドレス）は、このページテーブルを用いて間接アドレス指定される。

【0044】

一方、ページテーブルが存在しない場合には、図6（C）に示すように、ORBの中にはアドレスとデータ長が含まれ、転送データのアドレスが直接アドレス指定される。

【0045】

2. 全体構成

次に、本実施形態のデータ転送制御装置の全体構成の例について図7を用いて説明する。

【0046】

図7において、PHYインターフェース10は、PHYデバイス（物理層のデバイス）とのインターフェースを行う回路である。

【0047】

リンクコア20（リンク手段）は、リンク層のプロトコルやトランザクション層のプロトコルの一部をハードウェアにより実現する回路であり、ノード間でのパケット転送のための各種サービスを提供する。レジスタ22は、リンクコア20を制御するためのレジスタである。

【0048】

FIFO（Asynchronous Transmission Fifo）30、FIFO（Isochronous Transmission Fifo）32、FIFO（Reception Fifo）34は、各々、非同期送信用、アイソクロナス送信用、受信用のFIFOであり、例えばレジスタや半導体メモリなどのハードウェアにより構成される。本実施形態では、これらのFIFO30、32、34の段数は非常に少ない。例えば1つのFIFOの段数は、好ましくは3段以下であり、更に好ましくは2段以下となる。

【0049】

DMAC40（読み出し手段）、DMAC42（読み出し手段）、DMAC44（書き込み手段）は、各々、ATF用、ITF用、RF用のDMAコントローラである。これらのDMAC40、42、44を用いることで、CPU66に介入されることなく、RAM80とリンクコア20との間でのデータ転送が可能になる。なお、レジスタ46は、DMAC40、42、44などを制御するためのレジスタである。

【0050】

ポートインターフェース50は、アプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）とのインターフェースを行う回路である。

【0051】

F I F O (P F) 5 2 は、アプリケーション層のデバイスとの間でのデータ転送のための F I F O であり、D M A C 5 4 は、P F 用の D M A コントローラである。レジスタ 5 6 は、ポートインターフェース 5 0 や D M A C 5 4 を制御するレジスタである。

【 0 0 5 2 】

S B P - 2 コア 8 4 (転送実行回路) は、S B P - 2 のプロトコルの一部やトランザクション層の一部をハードウェアにより実現する回路である。この S B P - 2 コア 8 4 の機能により、転送データを一連のパケットに分割し、分割された一連のパケットを連続転送する処理が可能になる。なお、レジスタ 8 8 は、S B P - 2 コア 8 4 を制御するためのレジスタであり、D M A C (S B P - 2 用) 8 6 は、S B P - 2 コア 8 4 用の D M A コントローラである。

【 0 0 5 3 】

R A M 領域管理回路 3 0 0 は、R A M 8 0 の各領域を管理するための回路である。R A M 領域管理回路 3 0 0 は、R A M 8 0 の各領域がフルになったり、エンプティになった場合に、各種のフル信号、エンプティ信号を用いて D M A C 4 0 、 4 2 、 4 4 、 5 4 、 8 6 を制御する。

【 0 0 5 4 】

C P U インターフェース 6 0 は、データ転送制御装置をコントロールする C P U 6 6 (処理手段) とのインターフェースを行う回路である。C P U インターフェース 6 0 は、アドレスデコーダ 6 2 、データ同期化回路 6 3 、割り込みコントローラ 6 4 を含む。クロック制御回路 6 8 は、本実施形態で使用されるクロックを制御するものであり、P H Y デバイス (P H Y チップ) から送られてくる S C L K (データ転送制御装置のシステムクロック) や、H C L K (C P U 6 6 の動作クロック) が入力される。

【 0 0 5 5 】

バッファマネージャ 7 0 は、R A M 8 0 とのインターフェースを管理する回路である。バッファマネージャ 7 0 は、バッファマネージャの制御のためのレジスタ 7 2 、R A M 8 0 へのバス接続を調停する調停回路 7 4 、各種の制御信号を生成するシーケンサ 7 6 を含む。

【0056】

RAM80は、ランダムアクセス可能なパケット記憶手段として機能するものであり、その機能は例えばSRAM、SDRAM、DRAMなどにより実現される。

【0057】

なおRAM80は、本実施形態のデータ転送制御装置に内蔵させることが特に望ましいが、その一部又は全部を外付けにすることも可能である。

【0058】

図8に、RAM80のメモリマップの一例を示す。図8に示すように本実施形態では、RAM80が、ヘッダ領域（AR2、AR3、AR4、AR6）とデータ領域（AR5、AR7、AR8、AR9）に分離されている。そして、パケットのヘッダ（広義には制御情報）はヘッダ領域に格納され、パケットのデータ（ORB、ストリーム）はデータ領域に格納される。

【0059】

また本実施形態では、図8に示すように、RAM80のデータ領域（AR5、AR7、AR8、AR9）が、ORB領域（AR5、AR7）とストリーム領域（AR8、AR9）に分離されている。

【0060】

更に本実施形態では、RAM80が、受信領域（AR2、AR4、AR5、AR9）と送信領域（AR3、AR6、AR7、AR8）に分離されている。

【0061】

なお、ORB（第1の層用の第1のデータ）は、上述したようにSBP-2用のデータ（コマンド）である。一方、ストリーム（第1の層より上層の第2の層用の第2のデータ）は、アプリケーション層用のデータ（プリンタの印字データ、CD-RWの読み出し・書き込みデータ、スキャナによる取り込み画像データ等）である。

【0062】

また、AR1、AR2、AR3に示すHW（ハードウェア）用ページテーブル領域、HW用受信ヘッダ領域、HW用送信ヘッダ領域は、図7に示すSBP-2コ

ア 84 が、ページテーブルや受信ヘッダや送信ヘッダを書き込んだり読み出したりするための領域である。

【0063】

なお、図 8 において AR 4、AR 5、AR 8、AR 9 に示す領域は、いわゆるリングバッファ構造になっている。

【0064】

さて、図 7 のバス 90 (或いはバス 92、94) は、アプリケーションに接続されるものである (第 1 のバス)。またバス 95 (或いはバス 96) はデータ転送制御装置をコントロールし、或いはデータをリード・ライトするためのものであり、データ転送制御装置をコントロールするデバイス (例えば CPU) に電氣的に接続される (第 2 のバス)。またバス 100 (或いはバス 102、104、105、106、107、108、109) は、物理層のデバイス (PHY デバイス) に電氣的に接続されるものである (第 3 のバス)。また、バス 110 は、ランダムアクセス可能な記憶手段である RAM 80 に電氣的に接続されるものである (第 4 のバス)。またバス 99 は、SBP-2 コア 84 がハードウェアにより SBP-2 を実現するためのヘッダ情報やページテーブル情報をリード・ライトするためのものである (第 5 のバス)。

【0065】

バッファマネージャ 70 の調停回路 74 は、DMAC 40、42、44、CPU インターフェース 60、DMAC 86、54 からのバスアクセス要求の調停を行う。そして、この調停結果に基づいて、各々、バス 105、107、109、96、99、94 のいずれかと、RAM 80 のバス 110 との間にデータの経路が確立される (第 1、第 2、第 3、第 5 のバスのいずれかと第 4 のバスとの間にデータ経路が確立される)。

【0066】

本実施形態の 1 つの特徴は、ランダムアクセスが可能でありパケットを格納する RAM 80 を設けると共に、互いに分離されるバス 90、95、99、100 と、これらのバスを RAM 80 のバス 110 に接続するための調停回路 74 とを設けた点にある。

【0067】

このようにすることで図9に示すように、データ転送制御装置120、アプリケーション層のデバイス124間のバス90と、CPUバス96と、データ転送制御装置120、RAM80間のバス110とを分離できる。従って、CPUバス96をデータ転送の制御のみに使用できるようになる。また、バス90を占有して、データ転送制御装置120、アプリケーション層のデバイス124間でデータ転送を行うことができるようになる。例えば、データ転送制御装置120が組み込まれる電子機器がプリンタである場合には、バス90を占有して印字データを転送できるようになる。この結果、CPU66の処理負担を軽減でき、システム全体の実転送速度を高めることができる。またCPU66として安価なものを採用できると共に、CPUバス96として高速なバスを使用する必要性がなくなる。このため、電子機器の低コスト化、小規模化を図れるようになる。

【0068】

3. SBP-2コア（転送実行回路）の構成

図10に、図7のSBP-2コア84の構成例を示す。SBP-2コア84は、転送データを一連のパケットに自動的に分割し、分割された一連のパケットを連続転送するための回路であり、主に図4のA3、図5のB1に示すパケット転送をハードウェアにより実行する。

【0069】

メイン制御回路200は、SBP-2コア84の全体を制御するための回路であり、レジスタ202、204、206、208を含む。

【0070】

ここで、レジスタ202、204、206は、各々、データ転送（ハードウェアSBP-2処理）のスタートコマンド、ポーズコマンド、レジュームコマンドをファームウェア（CPU）が発行するためのレジスタである。即ち、ファームウェアがレジスタ202に1を書き込むと、転送データを一連のパケットに分割して連続転送する処理が開始する。そして、この転送処理中に、ファームウェアがレジスタ204に1を書き込むと、データ転送処理がポーズされ、レジスタ206に1を書き込むと、ポーズされていたデータ転送処理が再開される。

【0071】

レジスタ208は、ページテーブルの存在、不存在を設定するためのレジスタである。即ち、ファームウェアは、イニシエータからのORBを解析し、イニシエータのデータバッファにページテーブルが存在しないと判断した場合には、レジスタ208に1を書き込む。一方、存在すると判断した場合（図6（A）の場合）には、レジスタ208に0を書き込む。

【0072】

ページテーブルフェッチ回路210は、イニシエータ（相手ノード）のデータバッファ（記憶手段）にページテーブルが存在する場合に、そのページテーブルをイニシエータからフェッチするための処理を行う回路である。より具体的には、ページテーブルフェッチ回路210は、送信ヘッダ生成回路260にページテーブルのフェッチを指示し、フェッチが完了すると、ページテーブルアドレスやページテーブルサイズの更新をページテーブル生成回路220に指示する。

【0073】

ページテーブル生成回路220は、イニシエータのデータバッファにページテーブルが存在しない場合に、仮想的なページテーブルを生成する回路である。より具体的には、メイン制御回路200からページテーブルの生成が指示されると、所与のアルゴリズムにしたがってページテーブルを生成する。そして、生成されたページテーブルを、エレメント保持回路230やバッファインターフェース290を介してRAMのHW用ページテーブル領域に書き込むための処理を行う。

【0074】

なお、ページテーブルが存在するか否かは、前述のように、レジスタ208の設定値に基づき判断される。また、ページテーブルフェッチ回路210、ページテーブル生成回路220によりフェッチ又は生成されたページテーブルは、RAMのHW用ページテーブル領域（図8のAR1）に格納される。

【0075】

ページテーブル生成回路220が含むレジスタ222には、イニシエータからのORBにより指定されたページ境界サイズが設定される。またレジスタ224

、226には、ページテーブルが存在する場合には、ORBにより指定されたページテーブルアドレス、ページテーブルサイズ（エレメント数）が設定される（図6（B）参照）。一方、ページテーブルが存在しない場合には、転送データの先頭アドレスとデータ長が設定される（図6（C）参照）。またエレメントカウンタ228は、ページテーブルの生成の際に、ページテーブルのエレメント数（エレメントポインタ）をカウントする処理を行う。

【0076】

エレメント保持回路230は、SBP-2コアの処理対象となるページテーブルエレメントの情報を保持する回路であり、ページテーブルエレメントのセグメント長を保持するレジスタ232と、セグメントオフセットアドレスを保持するレジスタ234を含む。

【0077】

転送実行制御回路240は、SBP-2コアによるデータ転送（ストリーム転送）の実行を制御する回路であり、レジスタ242、244を含む。そして、レジスタ242は、現在処理中のページテーブルエレメントの番号を表示する。またレジスタ244には、データ転送を開始するページテーブルエレメントの番号が、ファームウェアにより設定される。これにより、ファームウェアは任意のページテーブルエレメントからのデータ転送を開始できるようになる。

【0078】

ペイロード分割回路250は、転送データを、ペイロードサイズの packets に分割する処理を行う。ペイロード分割回路250が含むレジスタ252には、ORBにより指定された最大ペイロードサイズが設定される。またレジスタ254は、実際のペイロードサイズを表示する。ペイロード分割回路250は、RAMのHWページテーブル領域（図8のAR1）から読み出されてレジスタ232に保持されるページテーブルエレメントのセグメント長と、レジスタ252に設定された最大ペイロードサイズとに基づいて、ペイロード分割処理を行うことになる。

【0079】

送信ヘッダ生成回路260は、ファームウェアにより設定されたスピードコー

ドやデステイネーションIDなどに基づいて、図4のA3、図5のB1の各要求パケットのヘッダを生成する処理を行う。そして、生成されたヘッダは、RAMのHW用送信ヘッダ領域（図8のAR3）に格納される。このように本実施形態では、連続転送される一連の要求パケットのヘッダがハードウェアにより自動生成されるため、ファームウェアの処理負担を大幅に軽減できる。

【0080】

トランザクション制御回路270は、リンクコアなどの外部の回路ブロックからのエラー情報やステータス情報を受け、トランザクションの実行のための種々の処理を行う。そして、トランザクションの実行が完了すると、トランザクション完了信号TCompをアクティブにして、ページテーブルフェッチ回路210やペイロード分割回路250に知らせる。このように本実施形態のSBP-2コアは、パケット単位ではなく、トランザクション単位でデータ転送処理を管理している。

【0081】

スプリットタイマ280は、トランザクションの開始時にスプリットタイムをロードし、カウントダウンを開始する。そして、カウント値が0になったら、タイムアウトになったことをトランザクション制御回路270に伝える。

【0082】

バッファインターフェース290は、図7のバッファマネージャ70とのインターフェースとして機能する回路である。SBP-2コア84の各ブロックは、このバッファインターフェース290を介して、バッファマネージャ70に対してRAM80へのアクセスを要求することになる。

【0083】

3. 1 メイン制御回路

次に、メイン制御回路200の動作について図11のフローチャートを用いて説明する。

【0084】

まず、HW用ページテーブル領域に既に格納されているページテーブルを使用するか否かを判断し（ステップS1）、使用する場合にはステップS5に、使用

しない場合にはステップ S 2 に移行する。既に HW 用ページテーブル領域に格納されているページテーブルを使用するか否かの設定は、ファームウェアが所与のレジスタに所与の設定値を書き込むことで実現される。

【0085】

次に、図 10 のレジスタ 208 の設定値に基づき、イニシエータのデータバッファにページテーブルが存在するか否かを判断する（ステップ S 2）。そして、存在する場合には、ページテーブルフェッチ回路 210 に対して、ページテーブルのフェッチ処理の開始を指示する（ステップ S 3）。一方、存在しない場合には、ページテーブル生成回路 220 に対して、ページテーブルの生成処理の開始を指示する（ステップ S 4）。

【0086】

そして、ページテーブルのフェッチ又は生成処理が完了すると、転送実行制御回路 240 に対して、転送実行処理（ストリームデータタスク）の開始を指示する（ステップ S 5）。

【0087】

なお、本実施形態のページテーブル生成回路 220 は以下に説明するような手法でページテーブルを生成する。

【0088】

例えば図 12 に示すように、転送データの先頭アドレス SA がページ境界 PB 0、PB 1 間にあり、終了アドレス EA がページ境界 PB 4、PB 5 間にあったとする。この場合に、ページテーブル生成回路 220 は、ページ境界 PB 1、PB 4 間（第 K、第 L のページ境界間）のページテーブルの元素数が、1（広義には所定数）となる仮想的なページテーブルを生成する。

【0089】

より具体的には、先頭アドレス SA とページ境界 PB 1 間が X 種のページテーブル元素（第 1 のページテーブル元素）になり、ページ境界 PB 1、PB 4 間が Y 種のページテーブル元素（第 2 のページテーブル元素）になり、ページ境界 PB 4 と終了アドレス EA 間が Z 種のページテーブル元素（第 3 のページテーブル元素）になる 3 ページのページテーブル

を生成する。

【0090】

但し、転送データの先頭アドレスSAがページ境界PB1（第Kのページ境界）上にある場合には、X種のページテーブルエレメントは生成されず、2ページのページテーブルになる。また、転送データの終了アドレスEAがページ境界PB4（第Lのページ境界）上にある場合には、Z種のページテーブルエレメントは生成されず、2ページのページテーブルになる。更に、転送データの先頭アドレスSAがページ境界PB0、PB1間にあり、終了アドレスEAがページ境界PB0、PB1間又はPB1上にある場合には、SA、EA間がX種のページテーブルエレメントとなる1ページのページテーブルが生成される。

【0091】

また本実施形態では、図10のペイロード分割回路250が、最大ペイロードサイズがページ境界サイズの約数となるペイロードサイズの packets に、転送データを分割している。即ち図13において、最大ペイロードサイズMaxPLSがページ境界サイズPBSの約数となるような packets 分割が行われる。

【0092】

このように、最大ペイロードサイズMaxPLSをページ境界サイズPBSの約数にすれば、例えば図13のC1やC2に示すように、ページ境界PB2やPB3において packets のペイロードがページ境界をまたがないようになる。従って、本実施形態のようにPB1、PB4間のページテーブルエレメント数が1となるようなページテーブルを生成した場合にも、ページ境界を越えないという制約を遵守しながらデータ転送を行えるようになる。

【0093】

3. 2 転送実行（ストリームタスク）制御回路

次に、転送実行制御回路240の動作について図14のフローチャートを用いて説明する。

【0094】

まず、図10のカレントエレメント番号のレジスタ242に、レジスタ244のスタートエレメント番号をロードする（ステップS40）。そして、カレント

エレメント番号のページテーブルエレメントを、RAMのHW用ページテーブル領域から読み出す処理を行う（ステップS41）。より具体的には、転送実行制御回路240は、処理対象となるページテーブルエレメントの読み出しをバッファインターフェース290に指示する。すると、バッファインターフェース290は、処理対象となるページテーブルエレメントをRAMのHW用ページテーブル領域から読み出し、ページテーブルエレメントのセグメント長をレジスタ232に、セグメントオフセットアドレスをレジスタ234に書き込む。

【0095】

次に、ペイロード分割回路250に対してペイロード分割処理の開始を指示する（ステップS42）。

【0096】

次に、現在のページテーブルエレメントの処理を終了したか否かを判断し（ステップS43）、終了していない場合にはステップS42に戻る。一方、終了した場合には、全てのページテーブルエレメントの処理を終了したか否かを判断し（ステップS44）、終了していない場合には、カレントエレメント番号を+1して（ステップS45）、ステップS41に戻る。

【0097】

なお、全てのページテーブルエレメントの処理を終了したか否かは、レジスタ226のページテーブルサイズを8で除算することで得られるエレメント数と、カレントエレメント番号とを比較することで判断する。

【0098】

3. 3 ペイロード分割回路

次に、ペイロード分割回路250の動作について図15のフローチャートを用いて説明する。ペイロード分割回路250は、図13に示すようにペイロードサイズの packets に転送データを分割する処理を行うものである。

【0099】

まず、図10のレジスタ232に格納されるページテーブルエレメントのセグメント長の残りバイト数が、最大ペイロードサイズ以上になっているか否かを判断する（ステップS51）。そして、残りバイト数が最大ペイロードサイズ以上

になっている場合には、パケットのペイロードサイズを最大ペイロードサイズに設定する（ステップS52）。一方、図13のC3やC4に示すように、残りバイト数が最大ペイロードサイズよりも小さくなっている場合には、パケットのペイロードサイズを残りバイト数に設定する（ステップS53）。

【0100】

ペイロードサイズの設定後、トランザクションの実行処理の開始（送信ヘッダの生成）を送信ヘッダ生成回路260に指示する（ステップS54）。そして、トランザクション制御回路270からの信号TCompによりトランザクションの完了が知らされると、エレメント保持回路230に対して、レジスタ232、234に格納されているページテーブルエレメントのセグメント長（残りバイト数）、セグメントオフセットアドレス（先頭アドレス）の更新を指示する（ステップS55）。

【0101】

次に、メイン制御回路200からの信号Pauseに基づいて、処理をポーズするか否かを判断する（ステップS56）。即ち、信号Pauseがアクティブになった場合には処理をポーズする。そしてポーズされた場合には、信号Pauseが非アクティブになったことを条件に、処理をレジュームする（ステップS57）。

【0102】

3. 4 送信ヘッダ生成回路、トランザクション制御回路

次に、送信ヘッダ生成回路260、トランザクション制御回路270の動作について図16のフローチャートを用いて説明する。

【0103】

まず、要求パケットのヘッダを生成し、HW用送信ヘッダ領域（図8のAR3）に書き込む（ステップS61）。より具体的には、図4のA3のようにイニシエータにデータを送信する場合には、ライト要求（ブロックライト要求）パケットのヘッダをHW用送信ヘッダ領域に書き込む。一方、図5のB1のようにイニシエータからデータを受信する場合や、ページテーブルをフェッチする場合には、リード要求パケットのヘッダをHW用送信ヘッダ領域に書き込む。

【0104】

次に、転送のスタート信号（HWS t a r t）をアクティブにして転送の開始を指示し（ステップS 6 2）、イニシエータからのACKの受信を待つ（ステップS 6 3）。

【0105】

次に、送信パケットがリード要求パケットであった場合には、ACKペンディングか否かを判断し（ステップS 6 5）、ACKペンディングでない場合にはステップS 7 2に移行してエラーポーズ状態にする。一方、ACKペンディングの場合には、スプリットタイマの起動を指示して（ステップS 6 6）、応答パケットの受信を待つ（ステップS 6 7）。

【0106】

次に、応答パケットの受信がパーフェクトであったか否かを判断し（ステップS 6 8）、DCEの場合には再度応答パケットが受信されるのを待ち、パーフェクトの場合にはステップS 6 9に移行し、その他の場合にはステップS 7 2に移行してエラーポーズ状態にする。そして、ステップS 6 9に移行した場合にはスプリットタイマの停止を指示し、信号TC o m pをアクティブにして転送データのポインタを更新する（ステップS 7 0）。

【0107】

一方、送信パケットがライト要求パケットであった場合には、まず、ACKペンディングか否かを判断する（ステップS 7 1）。そして、ACKペンディングの場合にはステップS 6 6に移行し、ACKコンプリートの場合にはステップS 7 0に移行し、それ以外の場合にはステップS 7 2に移行してエラーポーズ状態にする。

【0108】

なお、ステップS 7 2に移行して処理がエラーポーズになった場合には、処理がレジュームされたことを条件に、ステップS 6 2に移行する（ステップS 7 3）。即ち、この場合には、HW用送信ヘッダ領域に既書き込まれている送信ヘッダを再利用して、転送を再開することになる。

【0109】

4. HW（ハードウェア）転送とFW（ファームウェア）転送の調停

以上のように本実施形態によれば、図4のA3や図5のB1に示す連続パケット転送がハードウェアにより自動実行される。より具体的には、まず、ファームウェアが、連続パケット転送を指示するHW転送スタートコマンド（第1のスタートコマンド）を発行する（図10のレジスタ202に1を書き込む）。すると、SBP-2コアが、ページテーブルのフェッチ又は生成処理、ペイロード分割処理、送信ヘッダの生成処理、各パケットの転送スタート処理、エラー処理などをハードウェアにより自動実行する。これにより、ページテーブル分の転送データ（ORBのリードコマンドやライトコマンドで指定されるサイズの転送データ）が、一連のパケットに分割されて自動転送されるようになる。そして、全てのパケットの転送が完了すると、そのことが、割り込みなどを用いてファームウェアに知らされる。従って、ファームウェアは、HW転送スタートコマンドを発行した後は、連続パケット転送が完了するのを待つだけでよい。この結果、ファームウェアの処理負担を格段に軽減できるようになり、データ転送制御装置の実転送速度を大幅に向上できる。

【0110】

さて、このような連続パケット転送（HW転送）を指示するHW転送スタートコマンド以外にも、単一パケット転送を指示するFW転送スタートコマンド（第2のスタートコマンド）をファームウェアが発行する場合がある。例えば、相手ノードから要求パケットが転送されてきた場合には、その要求パケットに対応する応答パケットを相手ノードに転送する必要がある。この場合には、その応答パケットを転送するためのFW転送スタートコマンドをファームウェアが発行する。そして、応答パケットは、相手ノードのスプリットタイマがタイムアウトになる前に転送しなければならない。従って、ファームウェアは、要求パケットを受け取ってから、なるべく早い時期に、FW転送スタートコマンドを発行して応答パケットを転送する必要がある。

【0111】

ところが、一旦、HW転送（連続パケット転送）が開始してしまうと、全てのパケットの転送が完了するまで、ある程度の待ち時間が必要になる。特に、転送

データのサイズが大きい場合には、この待ち時間は非常に長くなる。従って、HW転送の完了を待っていたのでは、相手ノードのスプリットタイマがタイムアウトしてしまうなどの不具合が生じる可能性がある。

【0112】

そこで、本実施形態では、HW転送期間に、FW転送スタートコマンドが発行された場合には、HW転送における1つのトランザクション（又は1つのパケット転送）の完了を待って、FW転送（FW転送スタートコマンドによるパケット転送）を許可する調停を行っている。

【0113】

例えば図17では、E1においてHW転送スタートコマンドが発行されておりこれによりE2に示すようにHW転送がスタートする。この場合にE3のようにFW転送スタートコマンドが発行されると、E4に示すようにトランザクション4の完了を待ってFW転送による1つのパケット転送が行われる。そして、FW転送が完了すると、E5に示すようにHW転送が再開する。

【0114】

このようにすることで、HW転送の最中にFW転送を割り込ませることが可能になり、HW転送の完了を待つことなく、FW転送を実行できるようになる。これにより、FW転送が待たされることで相手ノードのスプリットタイマがタイムアウトしてしまうというような不具合を防止できる。

【0115】

また図17のE4に示すように、1つのトランザクションの完了を待ってFW転送が行われるため、HW転送に転送エラーが生じるなどの不具合も生じない。

【0116】

更に、1つのトランザクションの完了後、次のトランザクションが開始するまでの期間は、下層のリンクコアやPHYデバイスがSBP-2コアにより占有されていない。従って、この期間にFW転送の処理を割り込ませれば、SBP-2コアにより占有されていないリンクコアやPHYデバイスを利用してパケットを転送できるようになり、好都合である。

【0117】

なお、以上では、1つのトランザクション（要求パケットとその要求パケットに対応する応答パケット）の完了を待ってFW転送を行わせる場合について説明したが、1つのパケット転送の完了を待ってFW転送を行わせることも可能である。

【0118】

4. 1 調停回路の構成及び動作

次に、本実施形態の調停回路の構成及び動作について具体的に説明する。

【0119】

図18に、図7のDMAC40の詳細な構成例を示す。

【0120】

図18において、DMAC40は、調停回路400とアクセス要求発生回路410とアドレス発生回路420とアクセス要求実行回路430を含む。

【0121】

ここで調停回路400は、HW転送とFW転送の調停を行う回路である。より具体的には、HW転送の実行中に、FW転送スタートコマンドが発行された場合には、HW転送における1つのトランザクション（又は1つのパケット転送）の完了を待って、FW転送スタートコマンドによるパケット転送を許可する調停を行う。

【0122】

例えば、CPU（ファームウェア）がHW転送スタートコマンド（第1のスタートコマンド）を発行して、レジスタ202に1を書き込むと、SBP-2コア84（転送実行回路）によるHW転送がスタートする。そして、図16のステップS63に示すように、SBP-2コア84は、各パケット（トランザクション）の転送開始を要求する毎にHWS t a r t（第1のスタート信号）を1（アクティブ）にする。

【0123】

一方、CPUがFW転送スタートコマンド（第2のスタートコマンド）を発行して、レジスタ440に1を書き込むと、FW転送の開始が要求され、FWS t a r t（第2のスタート信号）がアクティブになる。

【0124】

そして、調停回路400は、これらのHWStart、FWStartや、リンクコア20からのComp、NotComp、SelfIDを受けて、調停処理を行うことになる。

【0125】

アクセス要求発生回路410は、バッファマネージャ70からの読み出しアクノリジメントであるRACKやFIFO30からのFULLを受け、読み出し要求であるRREQをバッファマネージャ70に出力する。

【0126】

アドレス発生回路420は、調停回路400からのHWDMARun、RealGo、バッファマネージャ70からのRDATAなどを受けて、RAM80の読み出しアドレスであるRADRを発生する。

【0127】

アクセス要求実行回路430は、調停回路400からのRealGo、FIFO30からのEMPTY、リンクコア20からの各種制御信号を受けて、アクセス要求を実行する処理を行う。

【0128】

図19 (A)、(B)、図20に、調停回路400の状態遷移図を示す。

【0129】

図19 (A)において、状態S00ではHWRequested=0になっている。そして、この状態で、HWStart=1且つSelfID (自己識別期間信号)=0になると、次のクロックで状態S01に移行し、HWRequested=1になる。即ち、自己識別期間中ではない時にHWStartが1になると、HW転送が要求されたことを示す信号であるHWRequestedが1になる。

【0130】

また図19 (B)において、状態S10ではFWRequested=0になっている。そして、この状態で、FWStart=1且つSelfID=0になると、次のクロックで状態S11に移行し、FWRequested=1になる。

。即ち、自己識別期間中ではない時に $FWStart$ が 1 になると、FW 転送が要求されたことを示す信号である $FWRequested$ が 1 になる。

【0131】

図 20 において、状態 $S20$ では、 $HWGo$ 、 $FWGo$ 、 $HWDMARun$ 、 $FWDMARun$ 、 $HWComp$ 、 $FWComp$ 、 $HWNotComp$ 、 $FWNotComp$ が 0 になっている。

【0132】

状態 $S20$ において $HWRequested = 1$ (図 19 (A) の状態 $S01$) 且つ $FWRequested = 0$ になると、次のクロックで状態 $S21$ に移行し、HW 転送をスタートさせる信号である $HWGo = 1$ になる。そして、次のクロックで $HWGo = 0$ 、 $HWDMARun = 1$ になる (状態 $S22$)。

【0133】

次に、リンクコア 20 からの転送完了信号である $Comp = 1$ になると、次のクロックで $HWComp = 1$ 、 $HWDMARun = 0$ になる (状態 $S23$)。一方、転送が正しく完了しなかったことを示す信号である $NotComp = 1$ になると、次のクロックで $HWNotComp = 1$ 、 $HWDMARun = 0$ になる (状態 $S24$)。

【0134】

一方、状態 $S20$ において $FWRequested = 1$ (図 19 (B) の状態 $S11$) になると、次のクロックで状態 $S25$ に移行し、FW 転送をスタートさせる信号である $FWGo = 1$ になる。そして、次のクロックで $FWGo = 0$ 、 $FWDMARun = 1$ になる (状態 $S26$)。

【0135】

次に、 $Comp = 1$ になると、次のクロックで $FWComp = 1$ 、 $FWDMARun = 0$ になる (状態 $S27$)。一方、 $NotComp = 1$ になると、次のクロックで $FWNotComp = 1$ 、 $FWDMARun = 0$ になる (状態 $S28$)。

【0136】

次に調停回路 400 の動作を図 21、図 22、図 23 のタイミング波形図を用

いて説明する。

【0137】

図21は、FWStart（第2のスタート信号）よりも先にHWStart（第1のスタート信号）がアクティブになった場合のタイミング波形図である。

【0138】

図21のF1に示すようにSBP-2コア84からのHWStartが1になると、F2に示すようにHWRequested=1になる（図19（A）の状態S01）。すると、F3に示すようにHWGo=1になり（図20の状態S21）、F4に示すように、アドレス発生回路420、アクセス要求実行回路430への出力であるRealGo=1になる。これにより、アドレス発生回路420、アクセス要求実行回路430によるHW転送処理が開始される。

【0139】

HWGo=1になると、F5に示すように、アドレス発生回路420への出力であるHWDMARun=1になる（状態S22）。そして、トランザクション（パケット転送）が完了し、F6に示すようにリンクコア20からの完了信号Comp=1になると、F7、F8に示すようにHWCComp=1、HWDMARun=0になる（状態S23）。そして、F9に示すようにHWRequested=0に戻る（図19（A）の状態S00）。

【0140】

一方、HW転送中にFW転送スタートコマンドが発行された場合、即ち、F10に示すようにHWStart=1になってからComp=1になる前にFWStart=1になった場合には、F11に示すようにFWRequested=1になる（図19（B）の状態S11）。しかし、この場合には、F12に示すように、直ぐにはFWGo=1にはならない。そして、F7に示すようにHWCComp=1になった後に、F13に示すようにFWGo=1になり（状態S25）、F14に示すようにRealGo=1になる。

【0141】

FWGo=1になると、F16に示すように、レジスタ440（レジスタ46）への出力であるFWDMARun=1になる。これにより、FWDMARun

=0に戻るまで、CPUによるレジスタ440への書き込みがマスクされる。

【0142】

そして、F17に示すように完了信号Comp=1になると、F18、F19に示すようにFWComp=1、FWDMARun=0になる(状態S27)。次に、F20に示すようにFWRequested=0に戻る(図19(B)の状態S10)。そして、F21に示すようにHW転送が再開される。

【0143】

以上のように本実施形態では、HWStart=1になった後にFWStart=1になった場合には、HW転送が先にスタートし、HW転送における1つのトランザクションが完了した後に、FW転送がスタートする。そして、FW転送が完了すると、HW転送が再開する。

【0144】

図22は、HWStartとFWStartが同時にアクティブになった場合のタイミング波形図である。

【0145】

図22のG1、G2に示すようにHWStartとFWStartが同時に1になった場合には、G3に示すようにFW転送が優先される。これは図20の状態S20、S21から明らかなように、図22のG4に示すようにFWRequested=1になると、HWRequestedが0か1かに依らずに、FWGo=1になるからである。そして、G5に示すようにFW転送が完了した後に、G6に示すようにHW転送がスタートする。

【0146】

以上のように本実施形態では、HWStartとFWStartが同時に1になった場合には、FW転送を優先して先にスタートさせる。このようにすることで、相手ノードからの要求パケットに対して直ぐに応答パケットを返せるようになる。

【0147】

図23は、HWStartよりも先にFWStartがアクティブになった場合のタイミング波形図である。

【0148】

図23のH1、H2に示すように、FWStartの方がHWStartよりも先に1になると、まず、H3に示すようにFW転送が先にスタートする。そして、H4に示すようにFW転送による1つのパケット転送が完了した後に、H5に示すようにHW転送がスタートする。

【0149】

以上のように本実施形態では、FWStart=1になった後にHWStart=1になった場合には、FW転送が先にスタートし、FW転送が完了した後に、HW転送がスタートする。このようにすることで、相手ノードからの要求パケットに対して直ぐに応答パケットを返せるようになる。

【0150】

4. 2 HW用ヘッダ領域、通常ヘッダ領域間のアドレス切り替え

さて、本実施形態では、ヘッダ領域（制御情報領域）が、図8のAR2、AR3に示すような、SBP-2コアによりヘッダ（制御情報）が書き込まれるHW用ヘッダ領域（第2の制御情報領域）と、AR4、AR6に示すような、ファームウェアやリンクコアなどによりヘッダが書き込まれる通常のヘッダ領域（第1の制御情報領域）に分離されている。

【0151】

このように、SBP-2コアに専用のHW用ヘッダ領域を設けることで、SBP-2コアは、生成したヘッダを連続してHW用ヘッダ領域に書き込むことができるようになる。これにより、SBP-2コアの処理や回路構成を簡素化できるようになる。即ち、HW用ヘッダ領域と通常のヘッダ領域が分離されていないと、SBP-2コアが生成したヘッダと、それ以外のヘッダとがヘッダ領域で混在するようになってしまう。これにより、ヘッダの書き込み時のアドレス制御が複雑化し、SBP-2コアの回路規模が増大化するという問題が生じる。本実施形態のようにSBP-2コアに専用のHW用ヘッダ領域を設ければ、このような問題を解決でき、SBP-2コアの回路の小規模化を図れるようになる。

【0152】

そして、本実施形態では、図10のアドレス発生回路420が、調停回路40

0からの調停結果である信号HWDMARunに基づいて、HW用ヘッダ領域と通常のヘッダ領域のいずれのアドレスを発生するのかを切り替えている。

【0153】

より具体的には、例えば図24に示すように、HWDMARun=1の場合（HW転送の場合）には、ポインタPTRをHW用送信ヘッダ領域（AR3）に設定する。そして、ポインタPTRを更新することで、SBP-2コアにより生成された送信ヘッダの書き込みアドレスを発生する。

【0154】

一方、HWDMARun=0の場合（HW転送でない場合）には、ポインタPTRが送信ヘッダ領域（AR6）に設定されるように、ポインタPTRを切り替える。そして、ポインタPTRを更新することで、ファームウェアなどにより生成される送信ヘッダの書き込みアドレスを発生する。

【0155】

以上のように本実施形態では、調停回路400からの信号HWDMARunを利用するだけという簡易な手法で、HW用ヘッダ領域、通常ヘッダ領域間のアドレス切り替えに成功している。そして、このようなアドレス切り替えが可能になることで、SBP-2コアに専用のHW用ヘッダ領域に対して、SBP-2コアが生成したヘッダを連続して書き込めるようになる。この結果、連続転送される一連のパケットのヘッダをハードウェアにより生成することが容易になる。

【0156】

5. データ領域の分離（ORB領域とストリーム領域への分離）

本実施形態では、図7のRAM80（パケット記憶手段）を、図8に示すようにヘッダ領域（AR2、AR3、AR4、AR6）とデータ領域（AR5、AR7、AR8、AR9）に分離すると共に、データ領域を、ORB領域（AR5、AR7）とストリーム領域（AR8、AR9）に分離している。

【0157】

即ち、RAMをヘッダ領域とデータ領域に分離することで、ファームウェアは、ヘッダ領域からヘッダを連続して読み出したり、ヘッダ領域にヘッダを連続して書き込むことができるようになる。従って、ファームウェアの処理負担をある

程度軽減できるという利点がある。しかしながら、データ転送の更なる高速化という観点からは、ヘッダ領域とデータ領域の分離だけでは不十分であることが判明した。

【0158】

例えば図25(A)では、パケットがヘッダとデータに分離され、ヘッダ1、2、3がヘッダ領域に格納され、データ1、2、3がデータ領域に格納されている。

【0159】

ここで、データには、前述のように、SBP-2(第1の層)用のORB(第1のデータ)と、上層であるアプリケーション層(第2の層)用のストリームとがある。従って、RAMをヘッダ領域とデータ領域に分離しただけでは、図25(A)のD1、D2、D3に示すように、データ領域においてORBとストリームとが混在するようになってしまう。

【0160】

このため、例えば、RAMからアプリケーション層のデバイスにストリームを転送する場合には、次のような処理が必要になる。即ち、まず、データポインタをD1の位置に設定してストリーム11、12、13を読み出し、次に、データポインタをD2の位置に変更してストリーム21、22、23を読み出す。その後、データポインタをD3の位置に変更してストリーム31、32、33を読み出す。

【0161】

このように、RAMを単にヘッダ領域とデータ領域に分離しただけでは、アプリケーション層のデバイスへのストリーム転送の際に、データポインタの位置を煩雑に切り替える制御が必要になり、処理の複雑化や回路の大規模化という事態を招く。また、データ領域から連続してストリームを読み出すことができないため、データ転送制御装置の実転送速度をそれほど向上できない。

【0162】

一方、図25(B)では、データ領域をORB領域とストリーム領域に分離している。このようにすれば、ファームウェアはORB領域からORB1、2、3

を連続して読み出すことができるようになる。また、前述のSBP-2コア84の機能を利用して、ファームウェアを介在させることなくストリーム11~33をRAMのストリーム領域から連続して読み出し、アプリケーション層のデバイスへ転送できるようになる。即ち、図26に示すように、相手ノード123（例えばパーソナルコンピュータ）とアプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）との間で、ファームウェア（CPU）66の介在無しに、ストリーム（例えば印字データ）を高速に転送できるようになる。この結果、図25（A）に比べて、ファームウェアの処理負担を格段に軽減できると共に、データ転送を飛躍的に高速化できるようになる。

【0163】

なお、データ転送制御装置120がストリームを受信する場合のみならず、ストリームを送信する場合にも、データ領域を送信ORB領域（図8のAR7）と送信ストリーム領域（AR8）に分離することで、データ転送の高速化を図れる。即ち図26の方向DR1に示すように相手ノード123からアプリケーション層のデバイス124（自ノード）にストリームを転送する場合のみならず、方向DR2に示すようにアプリケーション層のデバイス124から相手ノード123にストリームを転送する場合においても、データ転送の高速化を図れる。

【0164】

6. トランザクションラベルを利用した書き込み領域の切り替え

IEEE1394においては、各トランザクションを識別するための情報として、トランザクションラベルt1と呼ばれるものが使用される。

【0165】

即ち、トランザクションの要求ノードは、要求パケットの中にトランザクションラベルt1を含ませて、応答ノードに送信する。そして、この要求パケットを受信した応答ノードは、応答パケットの中に、上記と同一のt1を含ませて、要求ノードに返信する。要求ノードは、返信された応答パケットに含まれるt1を調べることで、その応答パケットが、自身が要求したトランザクションに対応する応答であることを確認できるようになる。

【0166】

トランザクションラベル t_1 は、応答ノードとの関係においてユニークであれば十分である。より具体的には、例えば要求ノード ND1 が応答ノード ND2 に対して $t_1 = TN1$ のトランザクションを発行した場合には、そのトランザクションが未完了の間は、要求ノード ND1 は応答ノード ND2 に対して、 $t_1 = TN1$ が付けられた他のトランザクションを発行することはできない。即ち、各トランザクションは、トランザクションラベル t_1 とソース ID とディスティネーション ID とによりユニークに特定されることになる。逆に言えば、トランザクションラベル t_1 は、上記の制約が守られている限り、どのような値を使うこともでき、他のノードは、どのような t_1 も受け入れなければならない。

【0167】

さて、要求ノードが要求パケットを送信し、応答パケットの返信を待つ場合、応答パケットが返信されてきた際に行う処理が、既に決まっている場合がある。そこで、本実施形態は、上記のようなトランザクションラベル t_1 の性質に着目して、次のような手法を採用している。

【0168】

即ち、図 27 (A) に示すように、トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、要求パケットに含まれるトランザクションラベル t_1 (広義にはトランザクション識別情報) の中に、応答パケットの返信時に行うべき処理を指示する指示情報を含ませる。そして、応答ノードから応答パケットを受信した際に、 t_1 に含まれる指示情報に応じた処理を実行するようにする。

【0169】

このようにすれば、応答パケットが返送されてきた際に、ファームウェアが関与することなく、 t_1 に含まれる指示情報に応じた処理を、SBP-2コア 84 などのハードウェアにより実行できるようになる。これにより、ファームウェアの処理負担を軽減できると共に、データ転送の高速化を図れる。

【0170】

より具体的には、本実施形態では、応答ノードから応答パケットを受信した場合に、 t_1 に含まれる指示情報により指示される領域に、その応答パケットを格

納するようにしている。

【0171】

即ち図27(B)に示すように、トランザクションラベルt1のビット5、4を、指示情報を表すビットとして予め予約しておく。

【0172】

そして、返信されてきた応答パケットをHW（ハードウェア）用領域に書き込む場合には、要求パケットのt1のビット5を1にセットして、応答ノードに送信する。一方、返信されてきた応答パケットをFW（ファームウェア）用領域に書き込む場合には、要求パケットのt1のビット5を0にセットして、応答ノードに送信する。

【0173】

また、返信されてきた応答パケットをストリーム領域に書き込む場合には、要求パケットのt1のビット4を1にセットして、応答ノードに送信する。一方、返信されてきた応答パケットをORB領域に書き込む場合には、要求パケットのt1のビット4を0にセットして、応答ノードに送信する。

【0174】

このようにすれば、応答パケットが返信されてきた時に、図28に示すように応答パケットのヘッダ、データがRAMの各領域に書き込まれるようになる。

【0175】

即ち、 $t1 = 1xxxxx$ （xは、ドント・ケアという意味）である場合には、応答パケットのヘッダは、HW用受信ヘッダ領域に書き込まれ、 $t1 = 0xxxxx$ である場合には、FW用受信ヘッダ領域に書き込まれる。

【0176】

また、 $t1 = 11xxxx$ である場合には、応答パケットのデータは、HW用受信ストリーム領域に書き込まれ、 $t1 = 10xxxx$ である場合には、HW用ページテーブル領域に書き込まれる。また $t1 = 01xxxx$ である場合には、応答パケットのデータは、FW用受信ストリーム領域に書き込まれ、 $t1 = 00xxxx$ である場合には、FW用受信ORB領域に書き込まれる。

【0177】

このようにすることで、ファームウェアを介在させることなく、応答パケットのヘッダ、データを、ハードウェア（回路）によりRAMの各領域に自動的に書き込むことができるようになる。そして、RAMに応答パケットを書き込む処理を行うハードウェアの構成も簡素化でき、データ転送制御装置の小規模化を図れる。

【0178】

また、図25（B）で説明したように、パケットのヘッダをヘッダ領域に、ORBをORB領域に、ストリームをストリーム領域に自動的に書き込むことができるようになるため、ハードウェアの処理の簡素化、データ転送の高速化も図れるようになる。

【0179】

7. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

【0180】

例えば図29（A）に電子機器の1つであるプリンタの内部ブロック図を示し、図30（A）にその外観図を示す。CPU（マイクロコンピュータ）510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM518はCPU510のワーク領域として機能する。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

【0181】

PHYデバイス502、データ転送制御装置500を介して、パーソナルコンピュータなどの他のノードから送られてきた印字データは、バス504を介して印字処理部512に直接送られる。そして、印字データは、印字処理部512にて所与の処理が施され、プリントヘッダなどからなる印字部（データを出力するための装置）514により紙に印字されて出力される。

【0182】

図29（B）に電子機器の1つであるスキャナの内部ブロック図を示し、図3

0 (B) にその外観図を示す。CPU 520 はシステム全体の制御などを行う。操作部 521 はスキャナをユーザが操作するためのものである。ROM 526 には制御プログラムなどが格納され、RAM 528 は CPU 520 のワーク領域として機能する。

【0183】

光源、光電変換器などからなる画像読み取り部（データを取り込むための装置）522 により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部 524 により処理される。そして、処理後の画像データがバス 505 を介してデータ転送制御装置 500 に直接送られる。データ転送制御装置 500 は、この画像データにヘッダなどを付加することでパケットを生成し、PHY デバイス 502 を介してパーソナルコンピュータなどの他のノードに送信する。

【0184】

図 29 (C) に電子機器の 1 つである CD-RW ドライブの内部ブロック図を示し、図 30 (C) にその外観図を示す。CPU 530 はシステム全体の制御などを行う。操作部 531 は CD-RW をユーザが操作するためのものである。ROM 536 には制御プログラムなどが格納され、RAM 538 は CPU 530 のワーク領域として機能する。

【0185】

レーザ、モータ、光学系などからなる読み取り&書き込み部（データを取り込むための装置又はデータを記憶するための装置）533 により CD-RW 532 から読み取られたデータは、信号処理部 534 に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、バス 506 を介してデータ転送制御装置 500 に直接送られる。データ転送制御装置 500 は、このデータにヘッダなどを付加することでパケットを生成し、PHY デバイス 502 を介してパーソナルコンピュータなどの他のノードに送信する。

【0186】

一方、PHY デバイス 502、データ転送制御装置 500 を介して、他のノードから送られてきたデータは、バス 506 を介して信号処理部 534 に直接送られる。そして、信号処理部 534 によりこのデータに所与の信号処理が施され、

読み取り&書き込み部 5 3 3 により C D - R W 5 3 2 に記憶される。

【 0 1 8 7 】

なお、図 2 9 (A) 、 (B) 、 (C) において、 C P U 5 1 0 、 5 2 0 、 5 3 0 の他に、データ転送制御装置 5 0 0 でのデータ転送制御のための C P U を別に設けるようにしてもよい。

【 0 1 8 8 】

また、図 2 9 (A) 、 (B) 、 (C) では R A M 5 0 1 (図 7 の R A M 8 0 に相当) がデータ転送制御装置 5 0 0 の外部に設けられているが、 R A M 5 0 1 をデータ転送制御装置 5 0 0 に内蔵させてもよい。

【 0 1 8 9 】

本実施形態のデータ転送制御装置を電子機器に用いることで、高速なデータ転送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るようになる。また、 C D - R W からのデータの読み取りや、 C D - R W へのデータの書き込みを高速に行うことができるようになる。更に、例えば 1 つのホストシステムに複数の電子機器を接続して利用したり、複数のホストシステムに複数の電子機器を接続して利用したりすることも容易になる。

【 0 1 9 0 】

また本実施形態のデータ転送制御装置を電子機器に用いることで、 C P U 上で動作するファームウェアの処理負担が軽減され、安価な C P U や低速のバスを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

【 0 1 9 1 】

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ (C D - R O M 、 D V D) 、光磁気ディスクドライブ (M O) 、ハードディスクドライブ、 T V 、 V T R 、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手

帳、ワードプロセッサなど種々のものを考えることができる。

【0192】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0193】

例えば、本発明のデータ転送制御装置の構成は、図7に示す構成が特に望ましいが、これに限定されるものではない。

【0194】

また、転送実行回路（SBP-2コア）の構成も図10に示す構成が特に望ましいが、これに限定されるものではなく、少なくとも、処理手段（ファームウェア）が第1のスタートコマンド（HW転送スタートコマンド）を発行した場合に、転送データを一連のパケットに分割して連続転送するための回路であればよい。例えば転送実行回路は、ページテーブルフェッチ回路、ページテーブル生成回路、パイロード分割回路、転送実行制御回路、送信ヘッダ生成回路（制御情報生成回路）などの回路ブロックを含むことが望ましいが、これらの回路ブロックの一部を含まない構成とすることもできる。

【0195】

また、調停回路の調停手法も、図21、図22、図23などで説明した手法が特に望ましいが、これに限定されるものではない。

【0196】

また、パケットの分離手法、パケット記憶手段の各領域へのパケットの書き込み手法、読み出し手法も、図8、図25（B）で説明した手法に限定されるものではない。

【0197】

また、第1のデータはトランザクション層用のデータ、第2のデータはアプリケーション層用のデータであることが特に望ましいが、本発明の第1、第2のデータはこれに限定されるものではない。

【0198】

また、本発明は、IEEE1394規格でのデータ転送に適用されることが特

に望ましいが、これに限定されるものではない。例えば I E E E 1 3 9 4 と同様の思想に基づく規格や I E E E 1 3 9 4 を発展させた規格におけるデータ転送にも本発明は適用できる。

【図面の簡単な説明】

【図 1】

I E E E 1 3 9 4 の層構造について示す図である。

【図 2】

S B P-2 について説明するための図である。

【図 3】

S B P-2 のデータ転送処理の概略について説明するための図である。

【図 4】

データ（ストリーム）をターゲットからイニシエータに転送する場合のコマンド処理について説明するための図である。

【図 5】

データ（ストリーム）をイニシエータからターゲットに転送する場合のコマンド処理について説明するための図である。

【図 6】

図 6（A）、（B）、（C）は、ページテーブルについて説明するための図である。

【図 7】

本実施形態のデータ転送制御装置の構成例を示す図である。

【図 8】

R A M（パケット記憶手段）の分離（分割）手法について説明するための図である。

【図 9】

本実施形態のデータ転送の手法について説明するための図である。

【図 1 0】

S B P-2 コア（転送実行回路）の構成例を示す図である。

【図 1 1】

メイン制御回路の動作を説明するためのフローチャートである。

【図 12】

ページテーブルの生成手法について説明するための図である。

【図 13】

パケットのペイロード分割手法について説明するための図である。

【図 14】

転送実行制御回路の動作を説明するためのフローチャートである。

【図 15】

ペイロード分割回路の動作を説明するためのフローチャートである。

【図 16】

送信ヘッダ生成回路、トランザクション制御回路の動作について説明するためのフローチャートである。

【図 17】

HW転送とFW転送の調停手法について説明するための図である。

【図 18】

本実施形態の調停回路を含むDMACの構成例について示す図である。

【図 19】

図 19 (A)、(B) は、調停回路の動作を説明するための状態遷移図である。

【図 20】

調停回路の動作を説明するための状態遷移図である。

【図 21】

FWStart よりも先にHWStart がアクティブになった場合のタイミング波形図である。

【図 22】

FWStart とHWStart が同時にアクティブになった場合のタイミング波形図である。

【図 23】

HWStart よりも先にFWStart がアクティブになった場合のタイミ

ング波形図である。

【図 24】

調停回路からの HWDMA Run に基づいて、HW 用ヘッダ領域と通常のヘッダ領域のいずれのアドレスを発生するのかを切り替える手法について説明するための図である。

【図 25】

図 25 (A)、(B) は、データ領域を ORB 領域とストリーム領域に分離する手法について説明するための図である。

【図 26】

相手ノードとアプリケーション層のデバイスとの間のストリーム転送の様子を示す図である。

【図 27】

図 27 (A)、(B) は、トランザクションラベルについて説明するための図である。

【図 28】

トランザクションラベルを利用して、RAM の各領域にパケットのヘッダ、データ (ORB、ストリーム) を書き込む手法について説明するための図である。

【図 29】

図 29 (A)、(B)、(C) は、種々の電子機器の内部ブロック図の例である。

【図 30】

図 30 (A)、(B)、(C) は、種々の電子機器の外観図の例である。

【符号の説明】

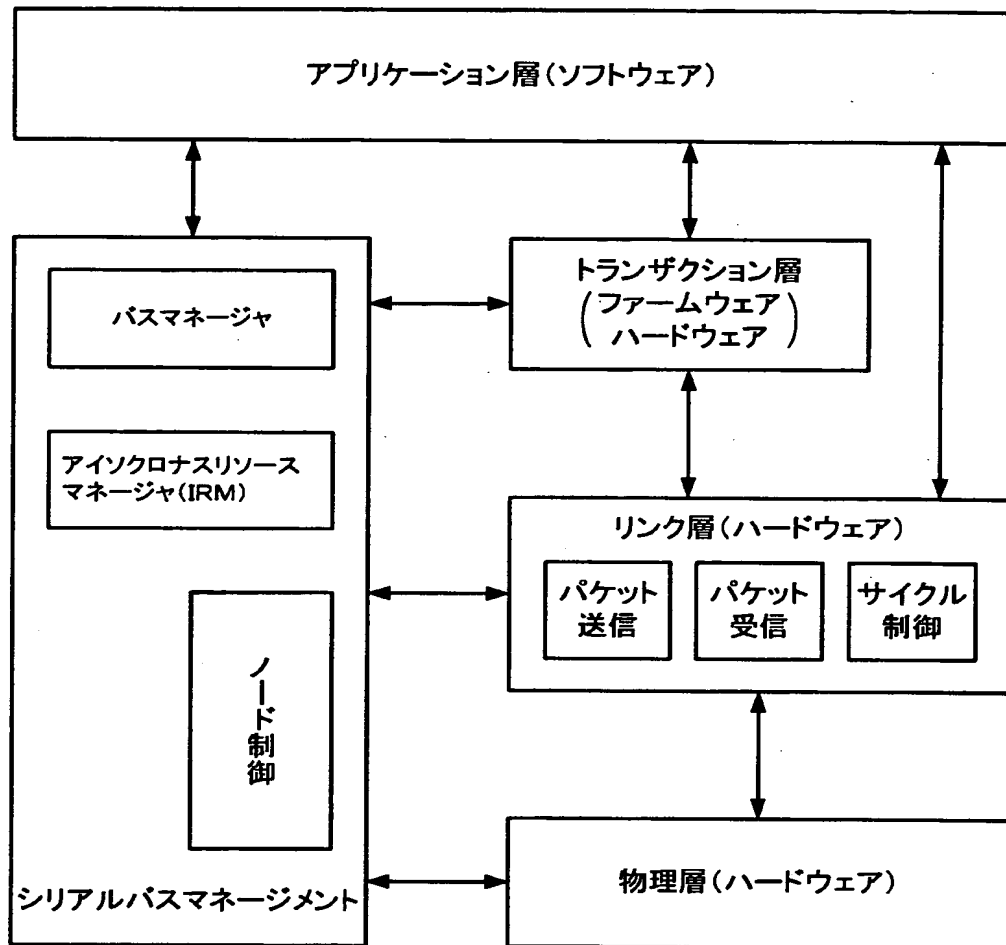
- 10 PHY インターフェース
- 20 リンクコア
- 22 レジスタ
- 30 FIFO (ATF)
- 32 FIFO (ITF)
- 34 FIFO (RF)

- 4 0 DMAC (ATF用)
- 4 2 DMAC (ITF用)
- 4 4 DMAC (RF用)
- 4 6 レジスタ
- 5 0 ポートインターフェース
- 5 2 FIFO (PF)
- 5 4 DMAC (PF用)
- 5 6 レジスタ
- 6 0 CPUインターフェース
- 6 2 アドレスデコーダ
- 6 3 データ同期化回路
- 6 4 割り込みコントローラ
- 6 6 CPU
- 6 8 クロック制御回路
- 7 0 バッファマネージャ
- 7 2 レジスタ
- 7 4 調停回路
- 7 6 シーケンサ
- 8 0 RAM (パケット記憶手段)
- 8 4 SBP-2コア (転送実行回路)
- 8 6 DAMAC (SBP-2用)
- 9 0、9 2、9 4 バス (第1のバス)
- 9 5、9 6 バス (第2のバス)
- 9 9 バス (第5のバス)
- 1 0 0、1 0 2、1 0 4、1 0 5、
- 1 0 6、1 0 7、1 0 8、1 0 9 バス (第3のバス)
- 1 1 0 バス (第4のバス)
- 1 2 0 データ転送制御装置
- 1 2 2 PHYデバイス

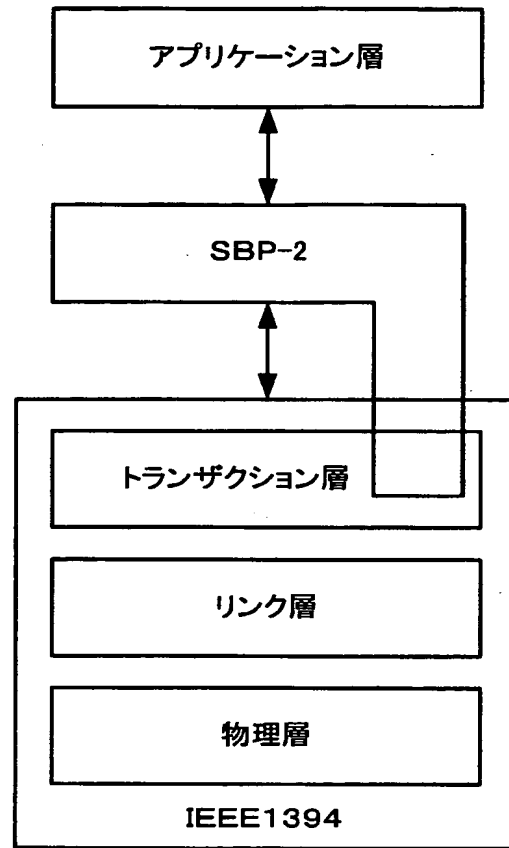
- 1 2 3 相手ノード
- 1 2 4 アプリケーション層のデバイス
- 2 0 0 メイン制御回路
- 2 0 2、2 0 4、2 0 6、2 0 8 レジスタ
- 2 1 0 ページテーブルフェッチ回路
- 2 2 0 ページテーブル生成回路
- 2 2 2、2 2 4、2 2 6 レジスタ
- 2 2 8 エLEMENTカウンタ
- 2 3 0 エLEMENT保持回路
- 2 3 2、2 3 4 レジスタ
- 2 4 0 転送実行（ストリームタスク）制御回路
- 2 4 2、2 4 4 レジスタ
- 2 5 0 ペイロード分割回路
- 2 5 2、2 5 4 レジスタ
- 2 6 0 送信ヘッダ生成回路
- 2 7 0 トランザクション制御回路
- 2 8 0 スプリットタイマ
- 2 9 0 バッファインターフェース
- 4 0 0 調停回路
- 4 1 0 アクセス要求発生回路
- 4 2 0 アドレス発生回路
- 4 3 0 アクセス要求実行回路
- 4 4 0 レジスタ

【書類名】 図面

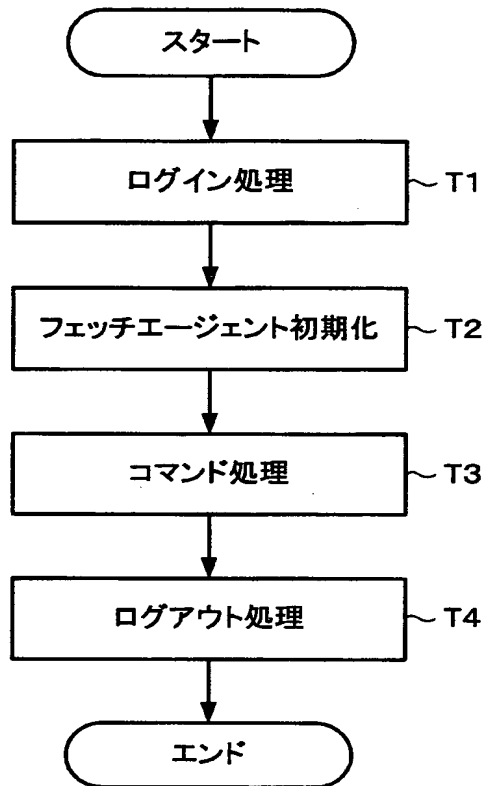
【図 1】



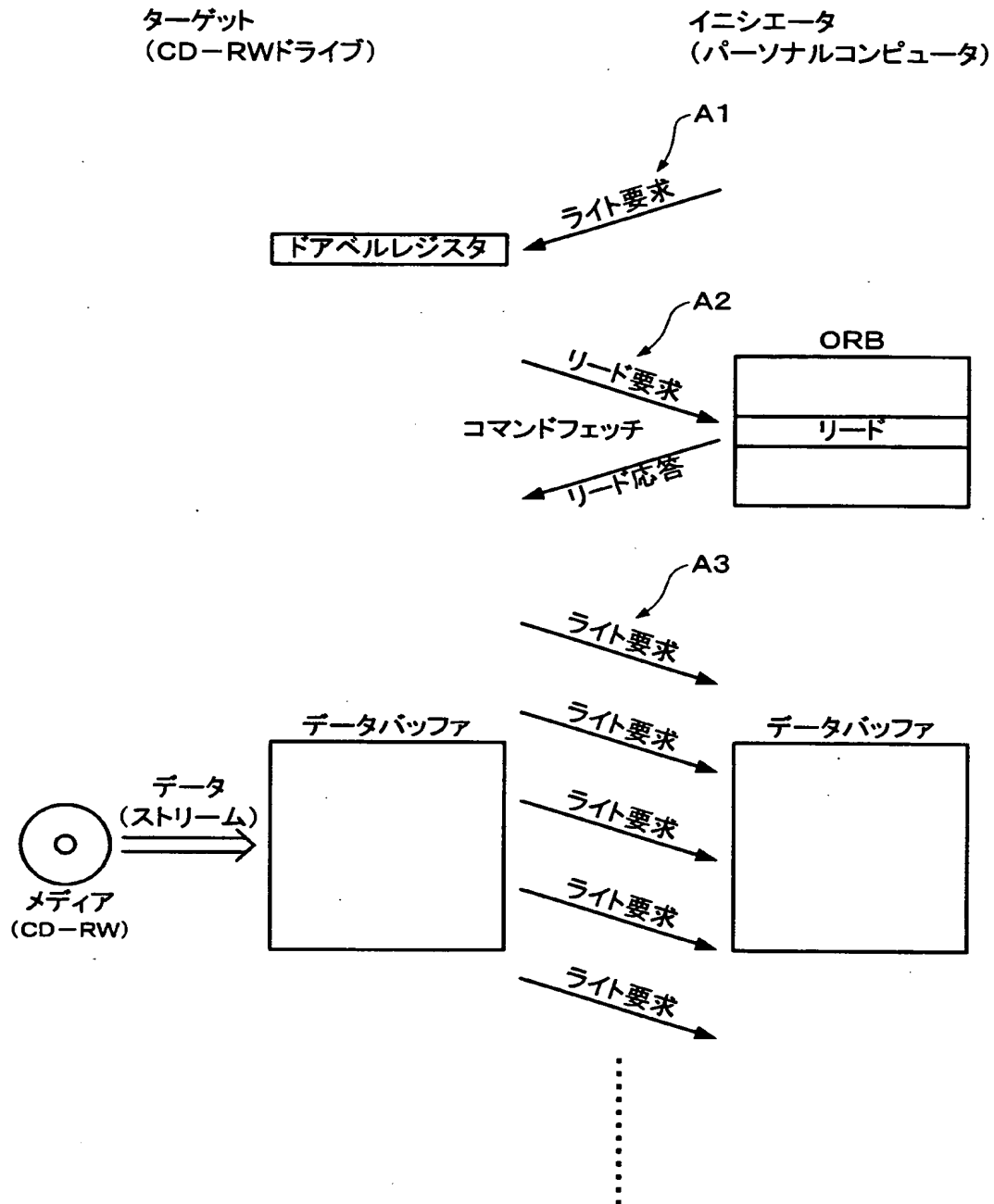
【図 2】



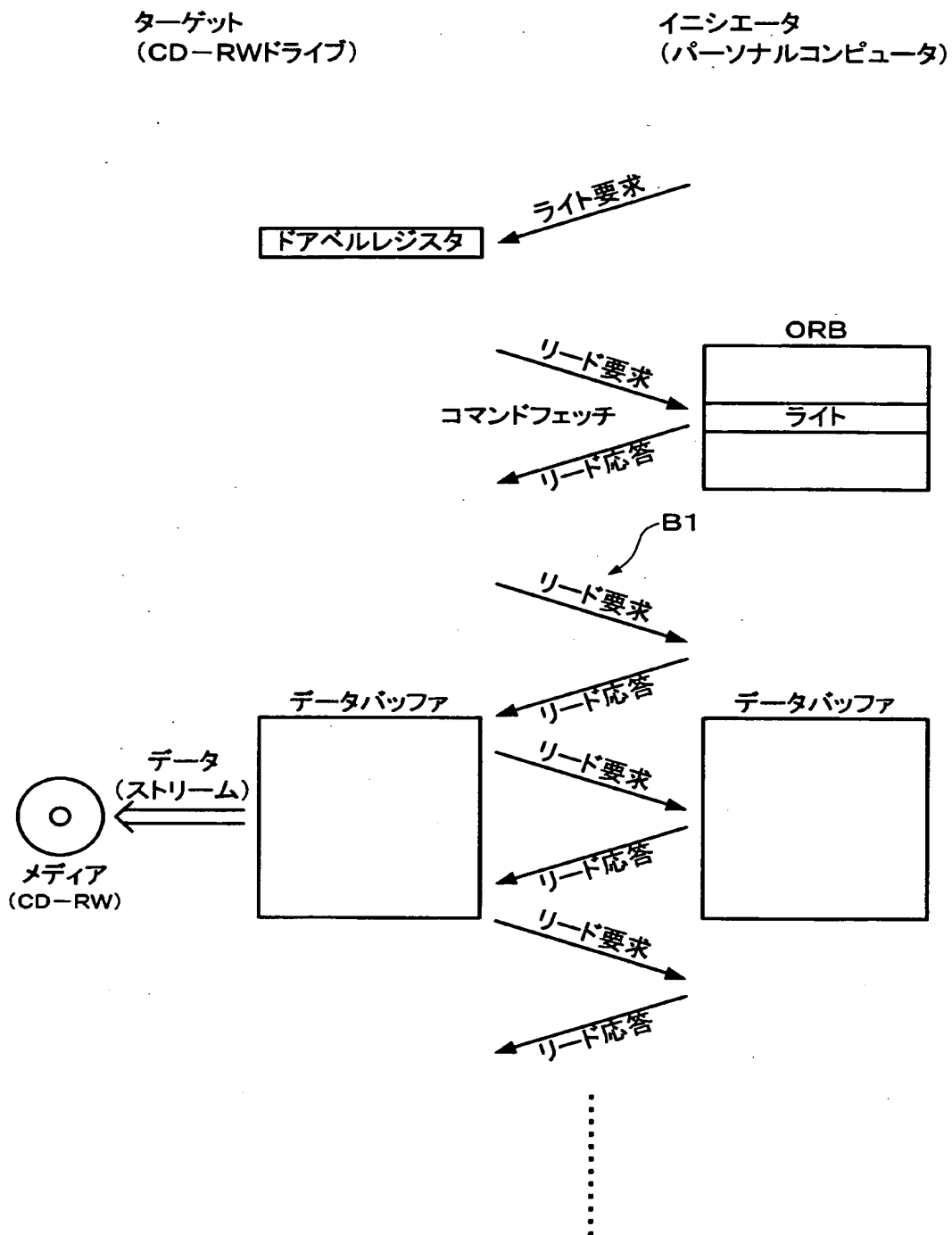
【図 3】



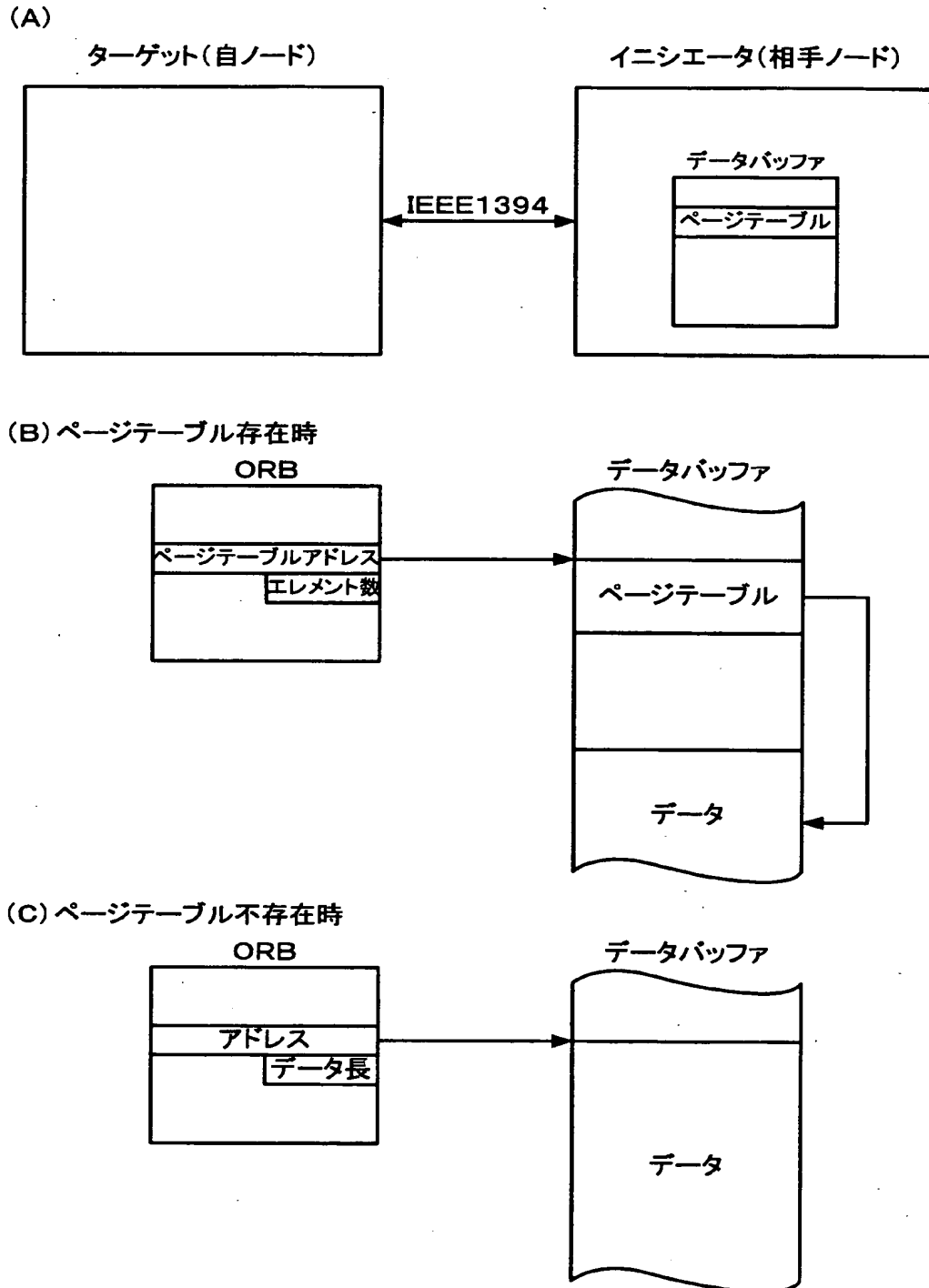
【図 4】



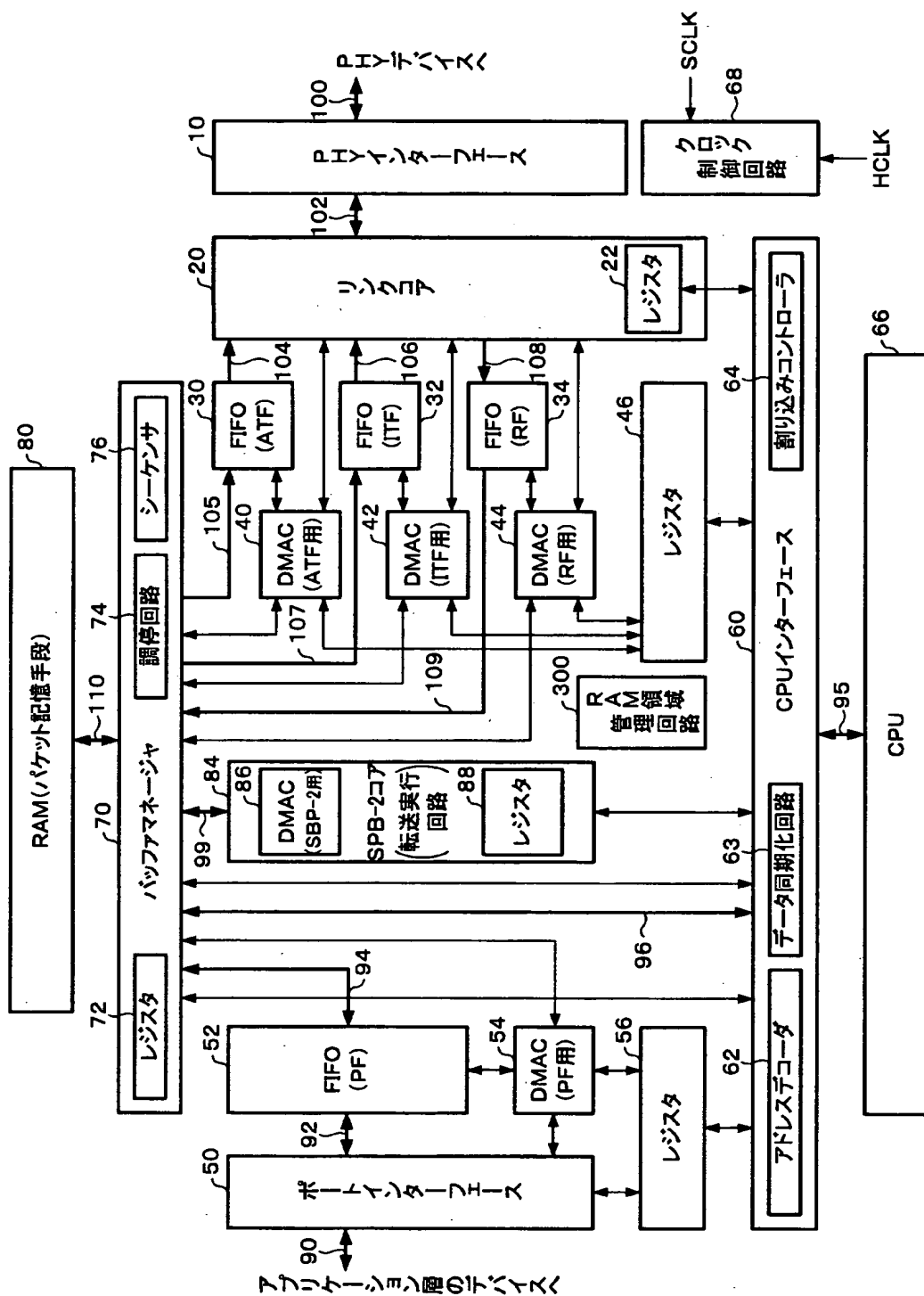
【図 5】



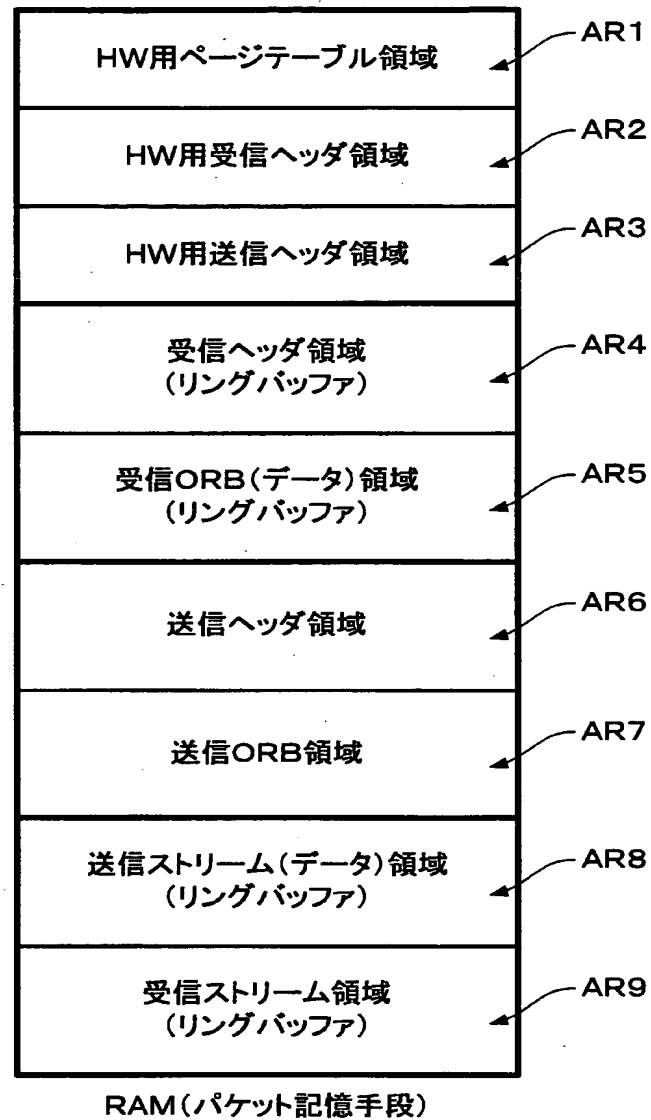
【図 6】



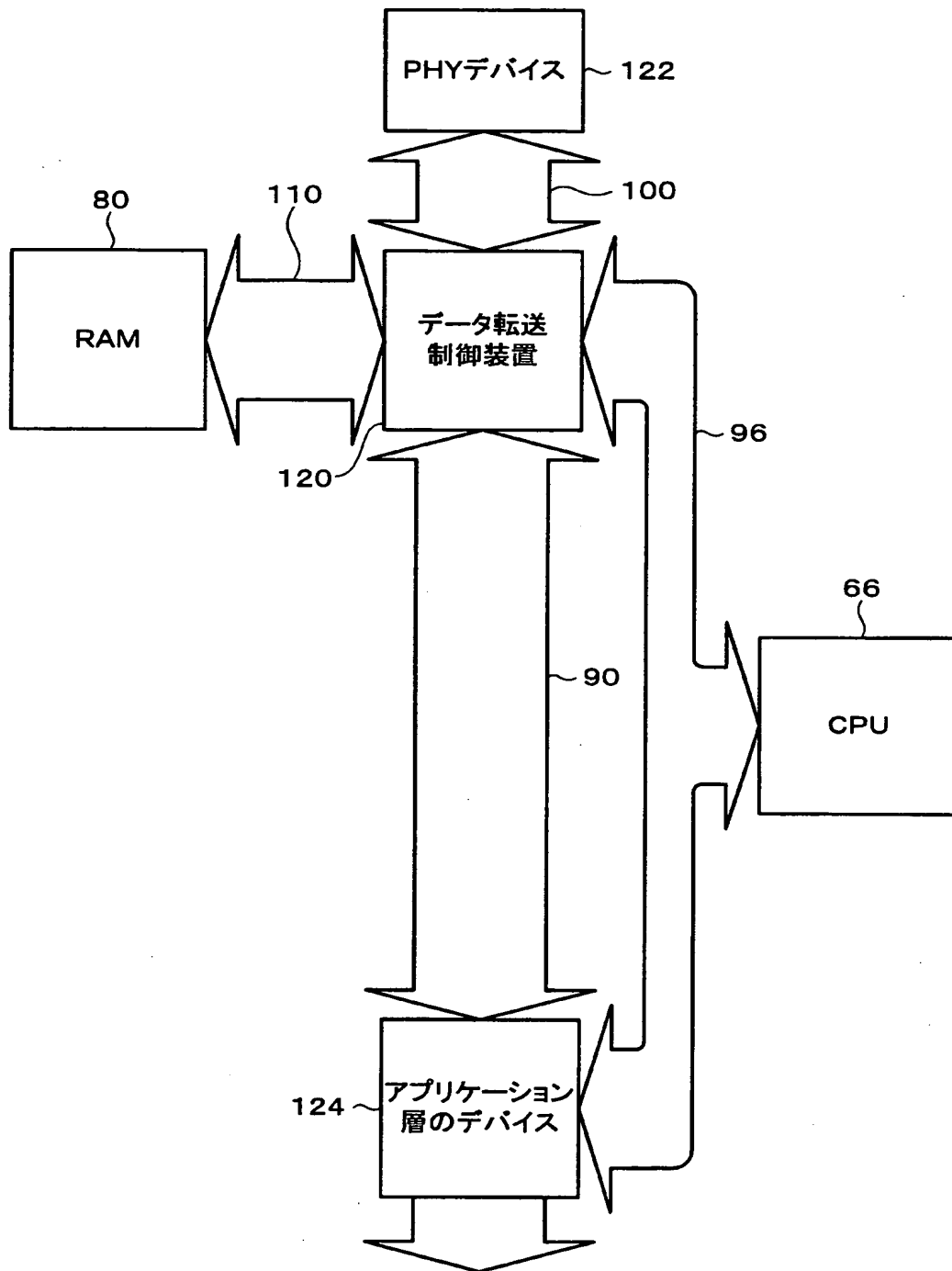
【図 7】



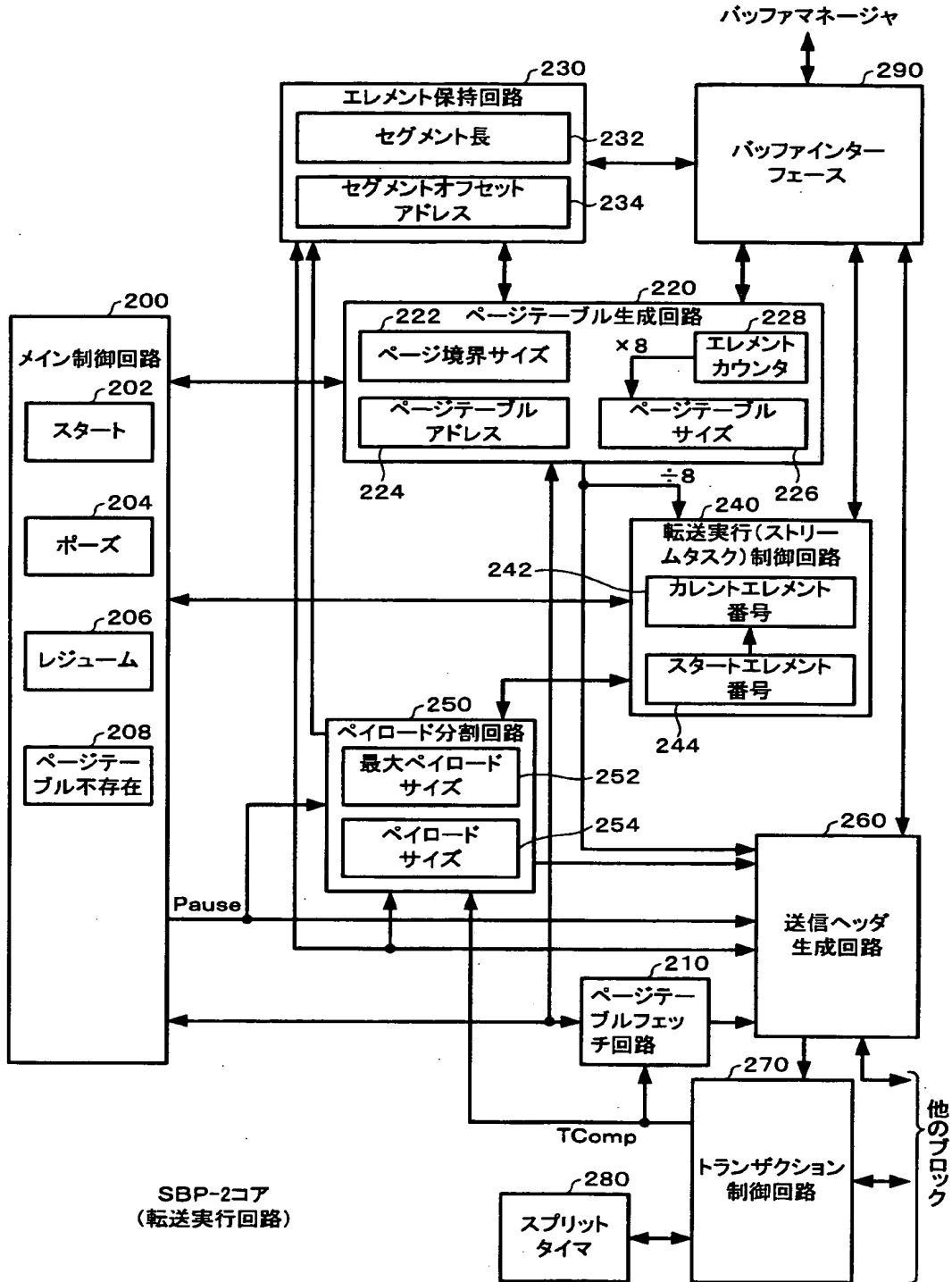
【図 8】



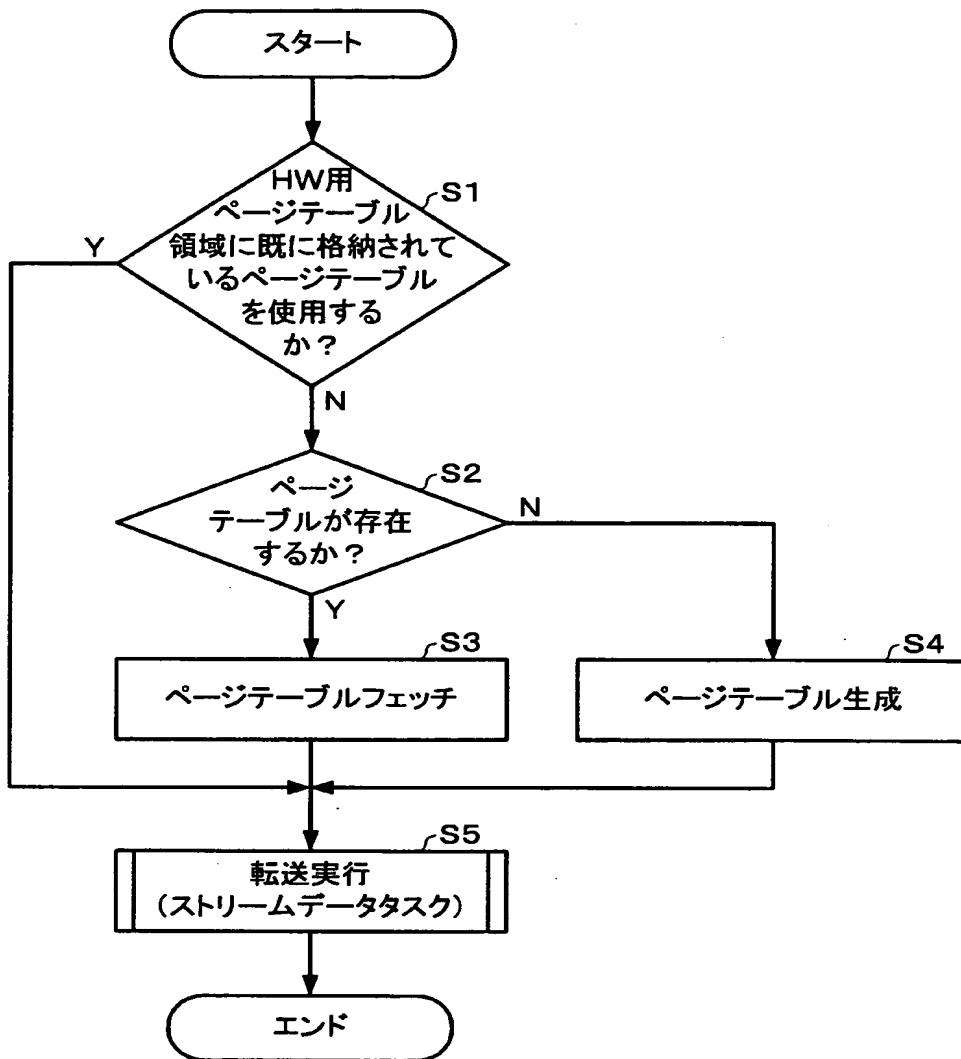
【図 9】



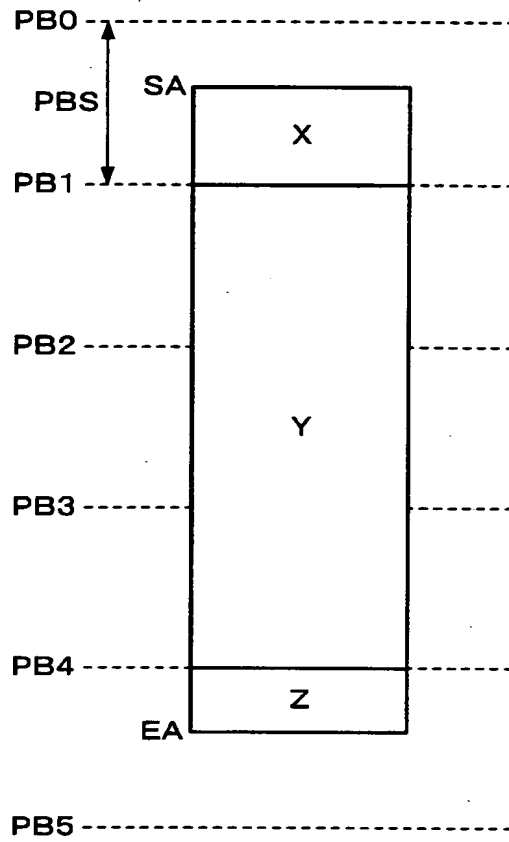
【図 10】



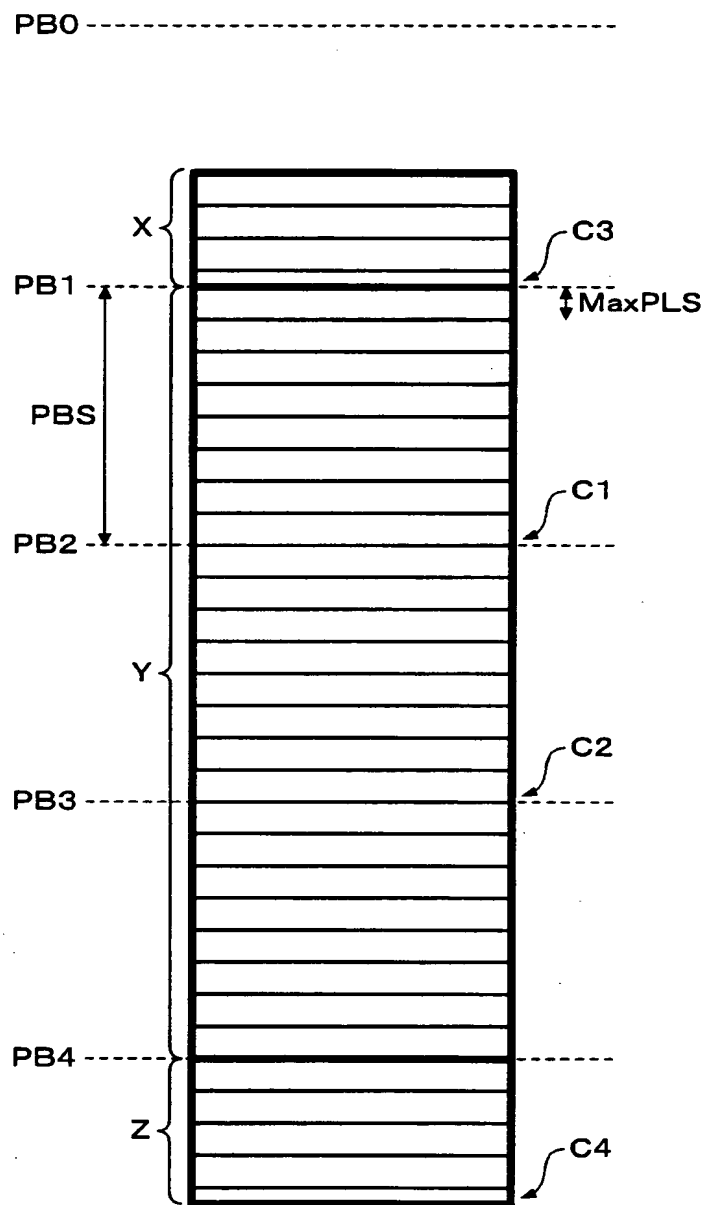
【図 1 1】



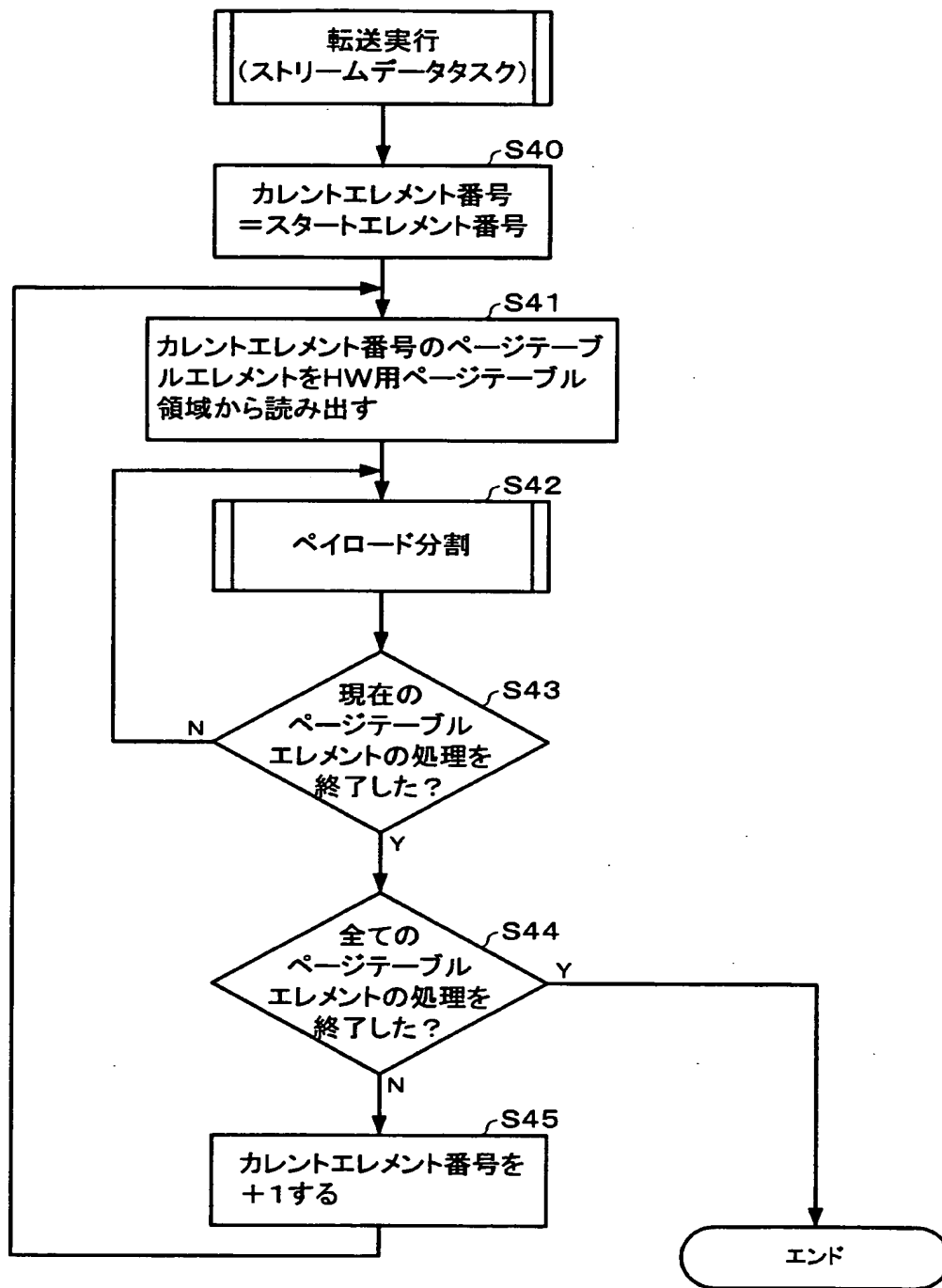
【図 1 2】



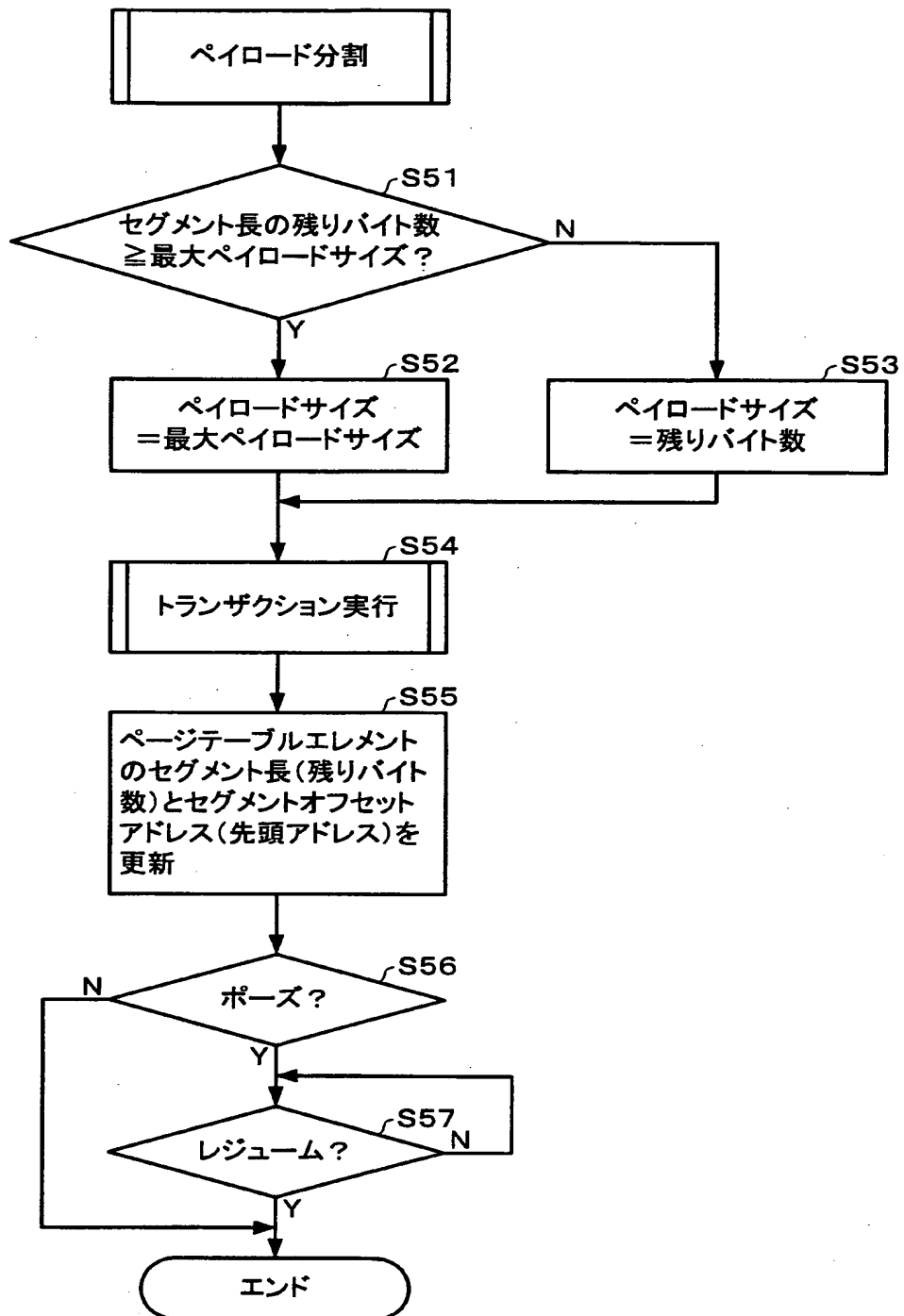
【図 1 3】



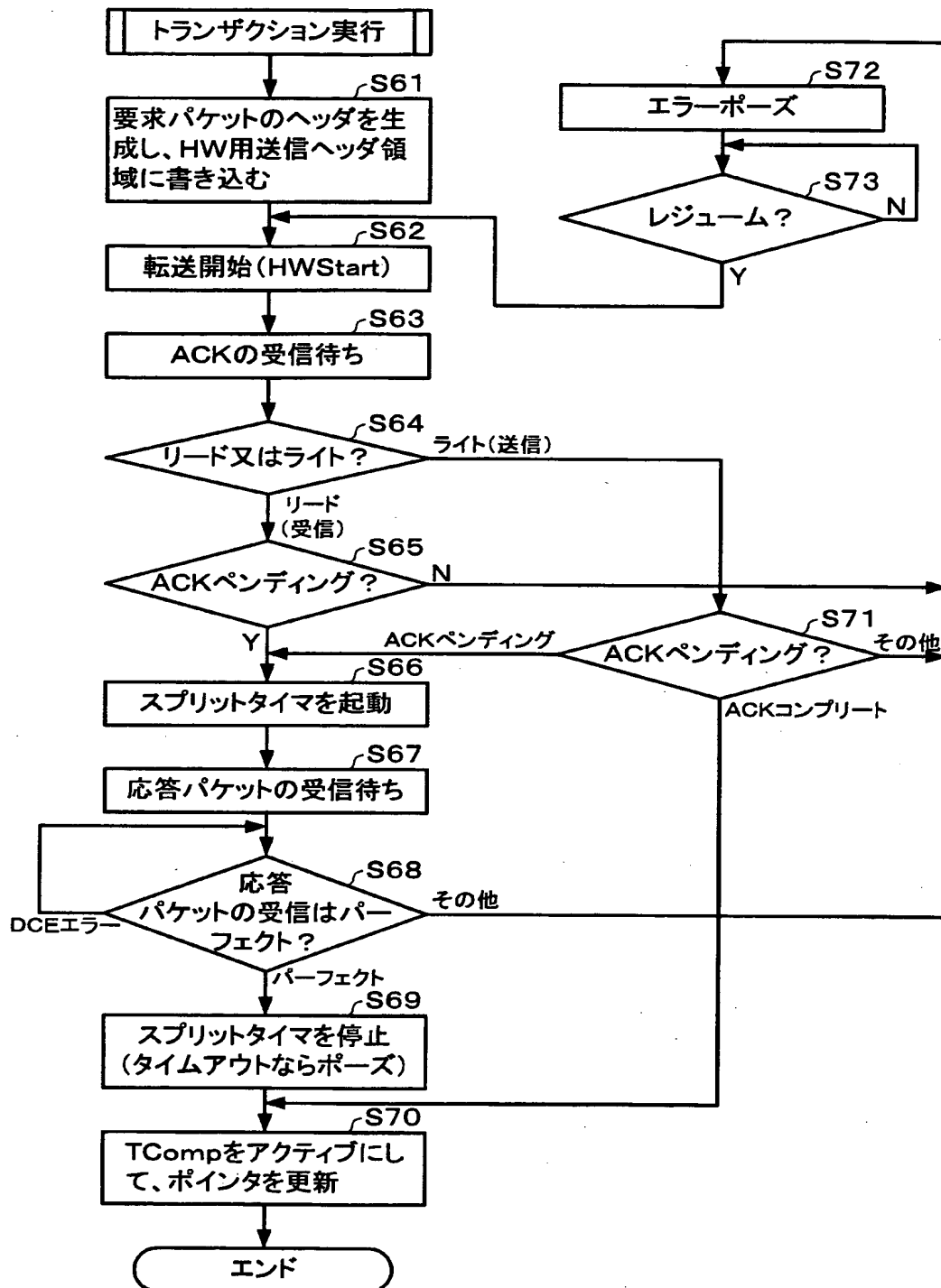
【図 1 4】



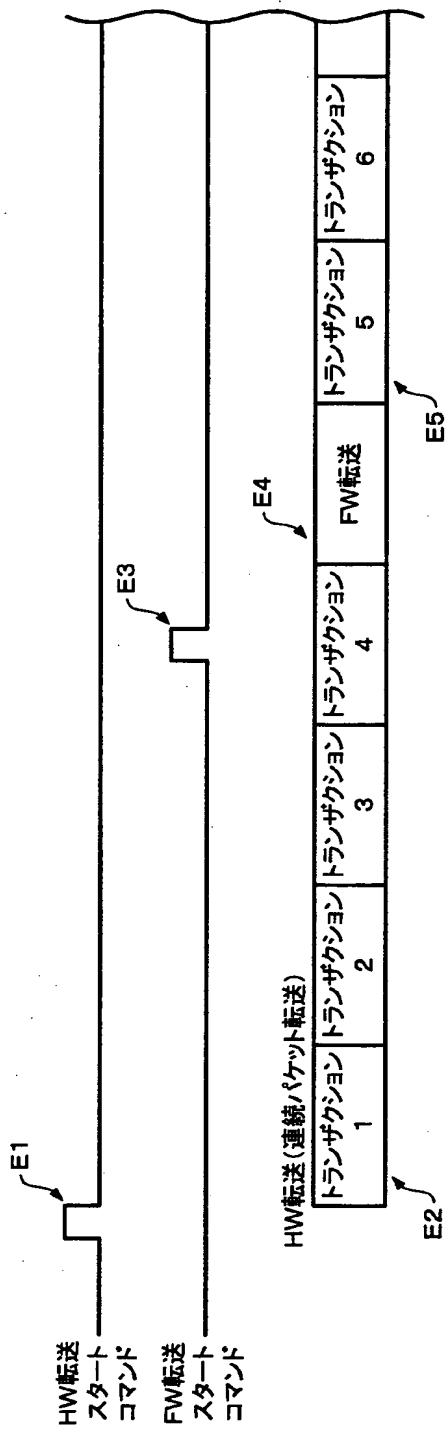
【図 1 5】



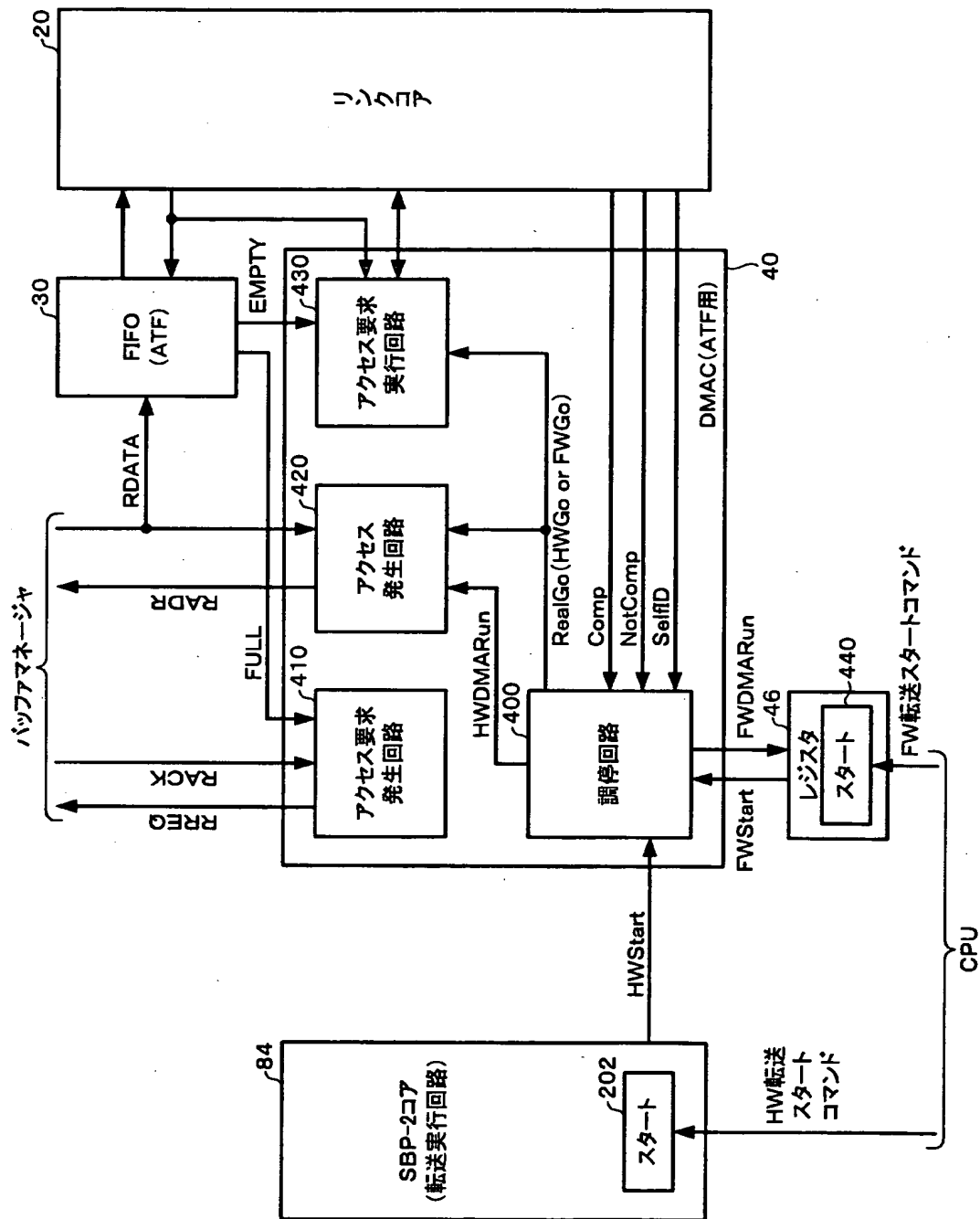
【図 16】



【図 1 7】

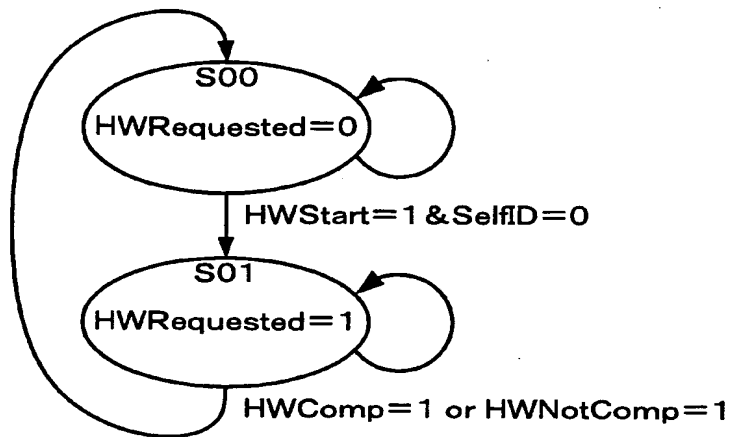


【図 1 8】

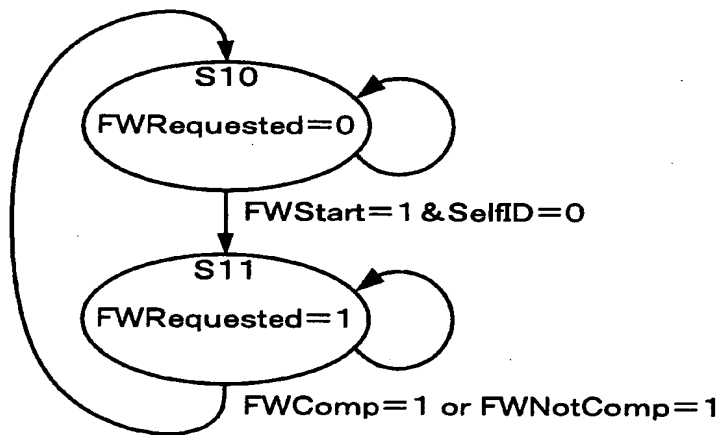


【図 1 9】

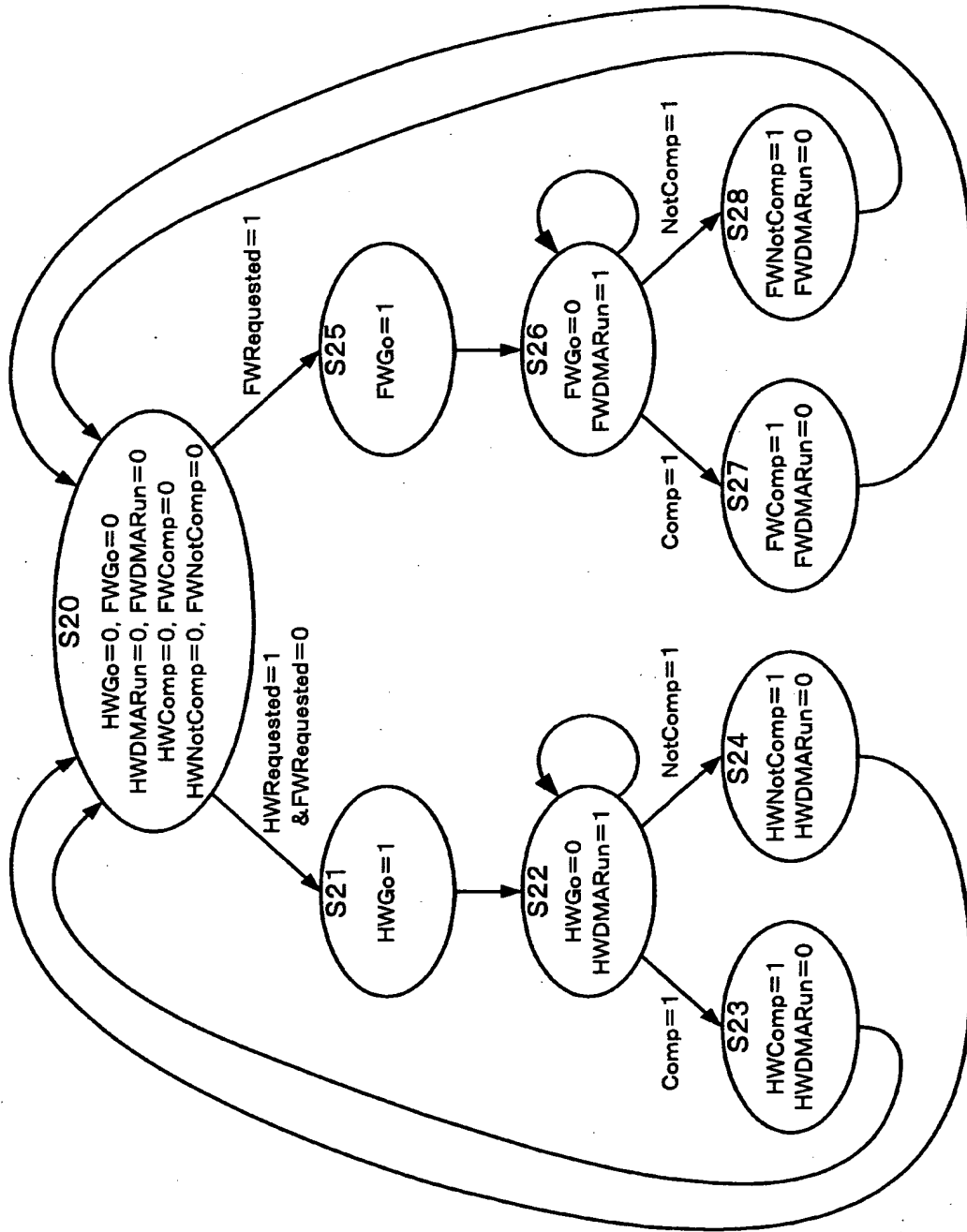
(A)



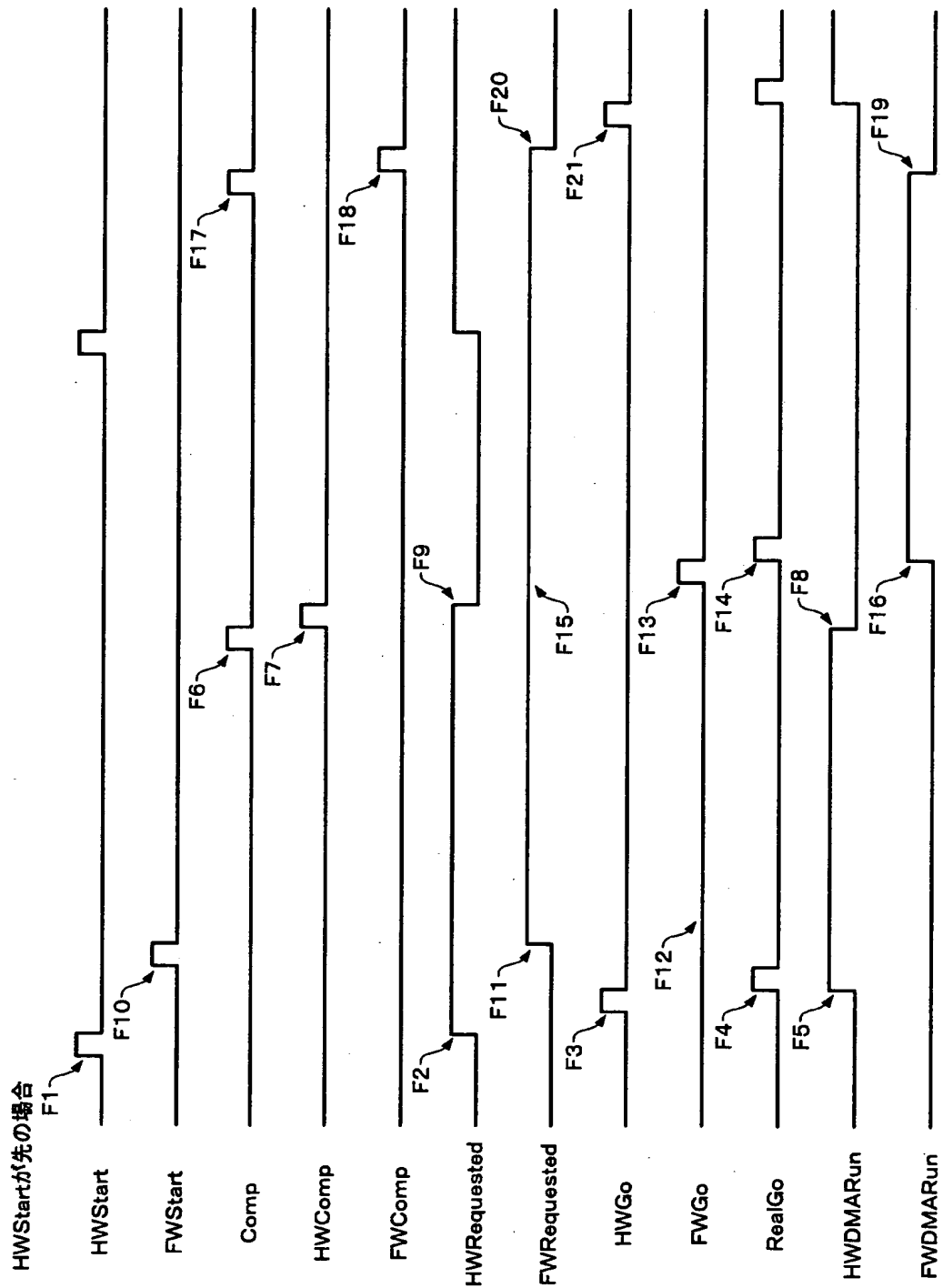
(B)



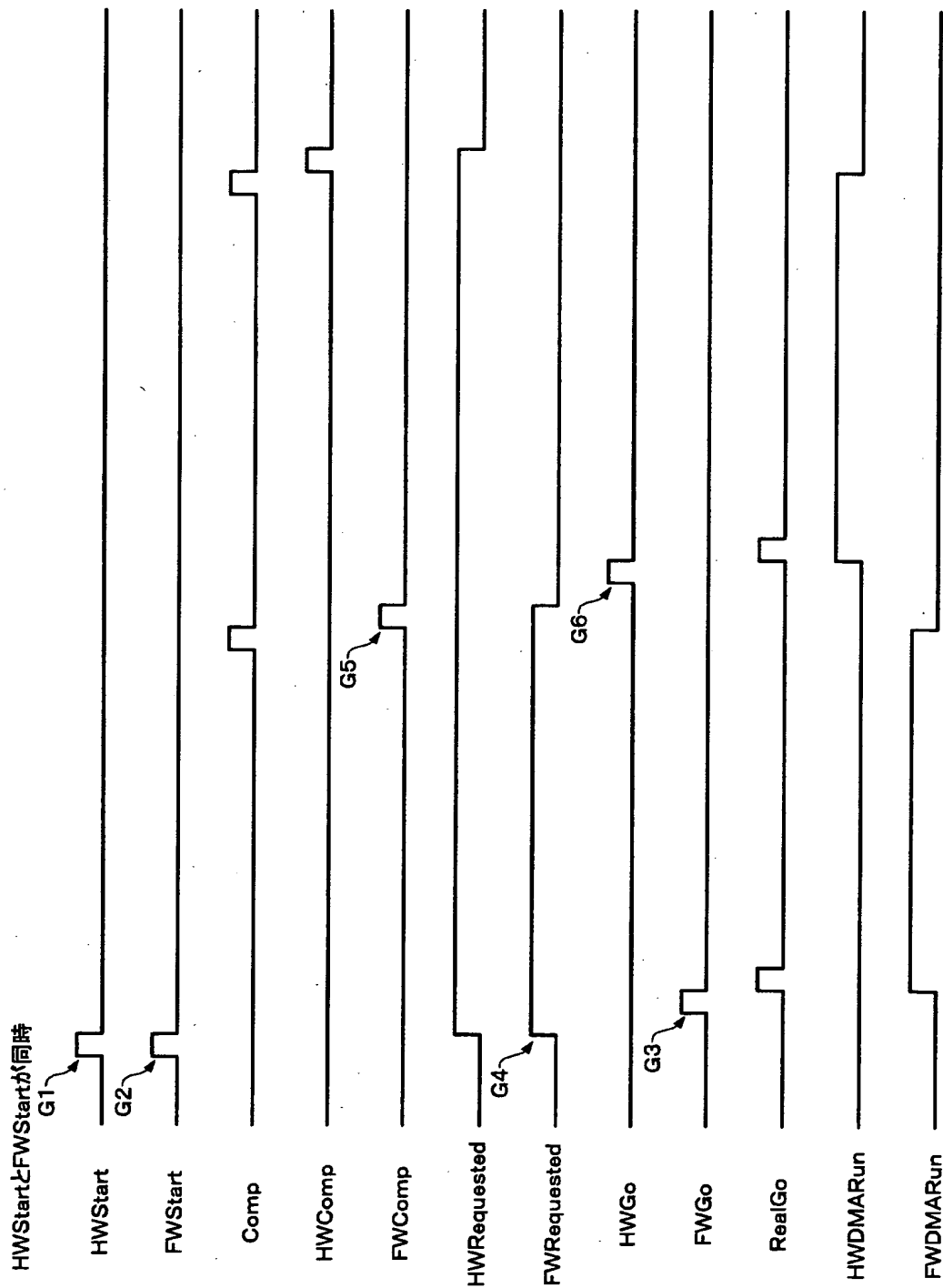
【図 2 0】



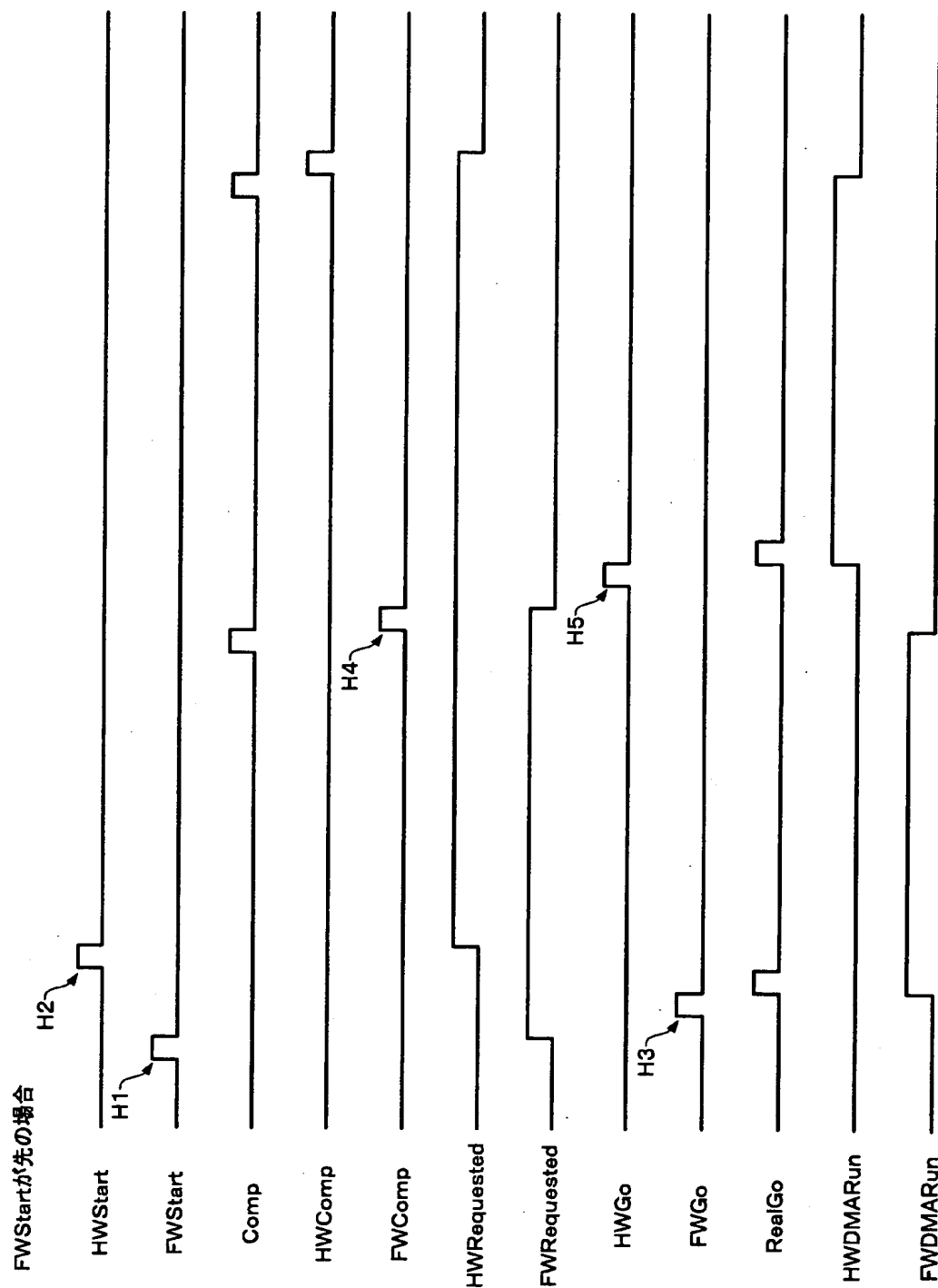
【図 2 1】



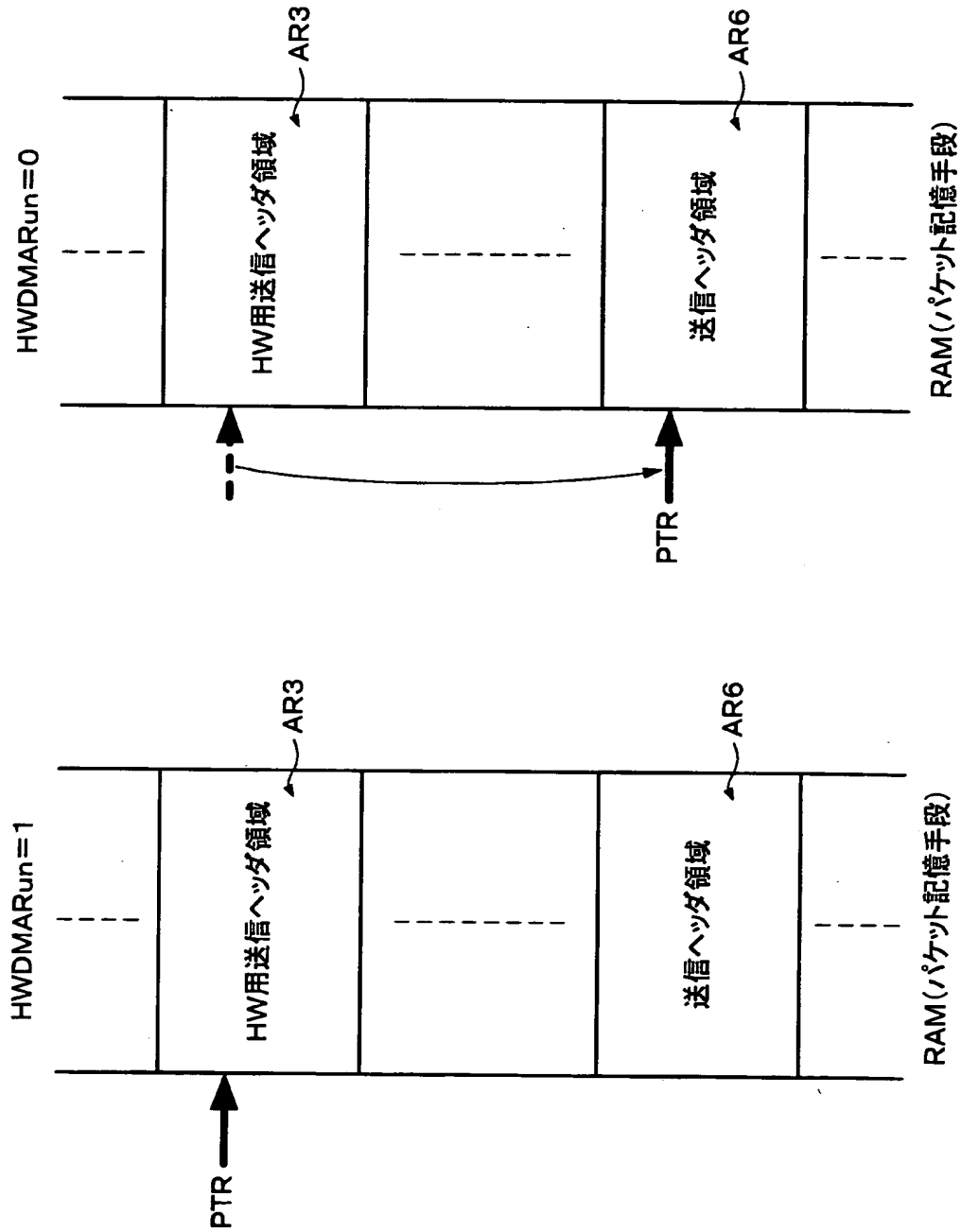
【図 2 2】



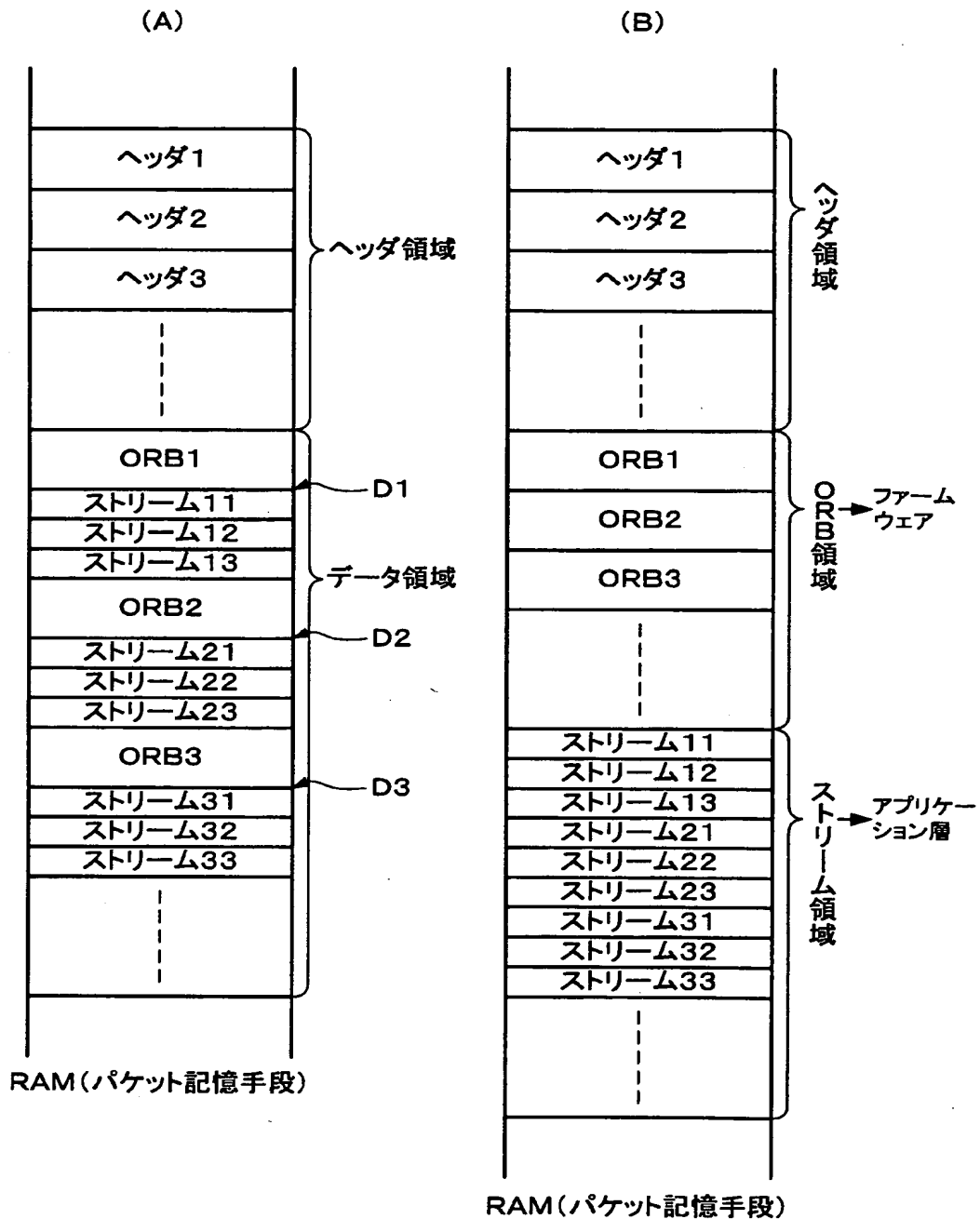
【図 2 3】



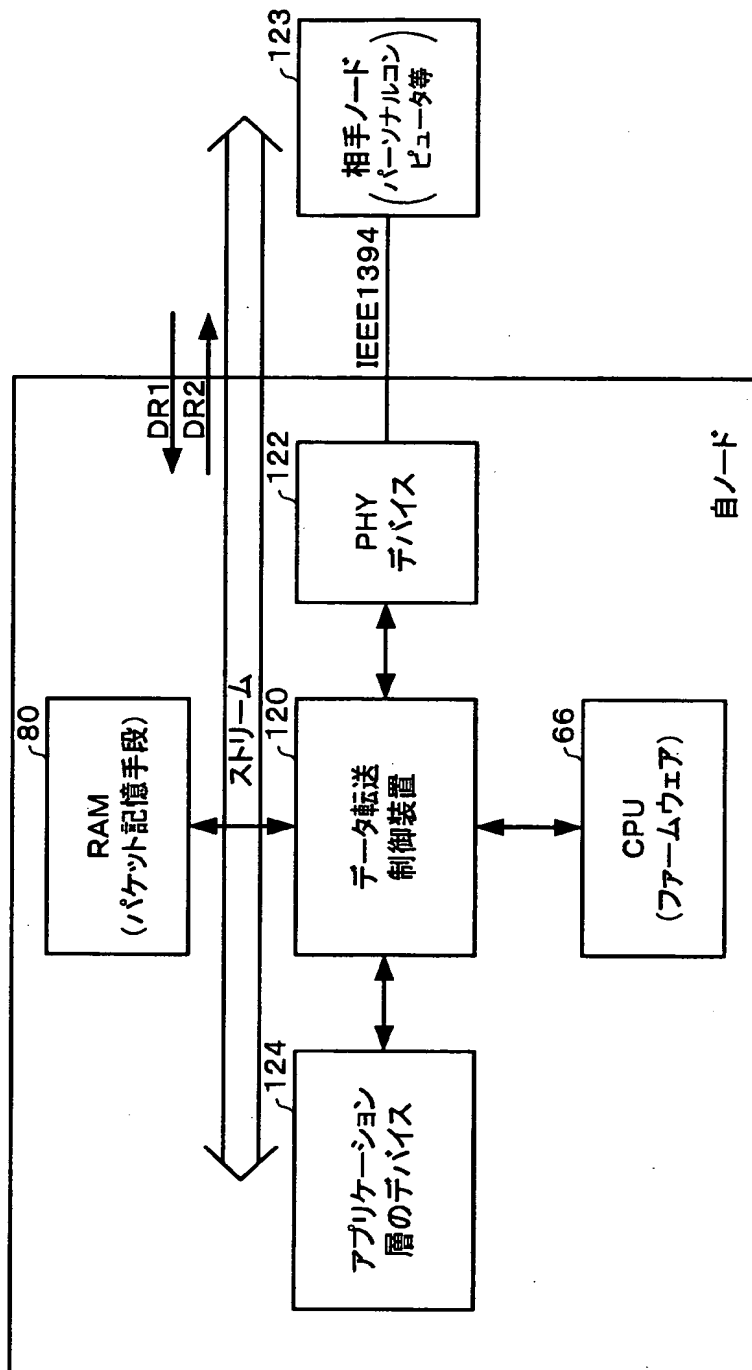
【図 2 4】



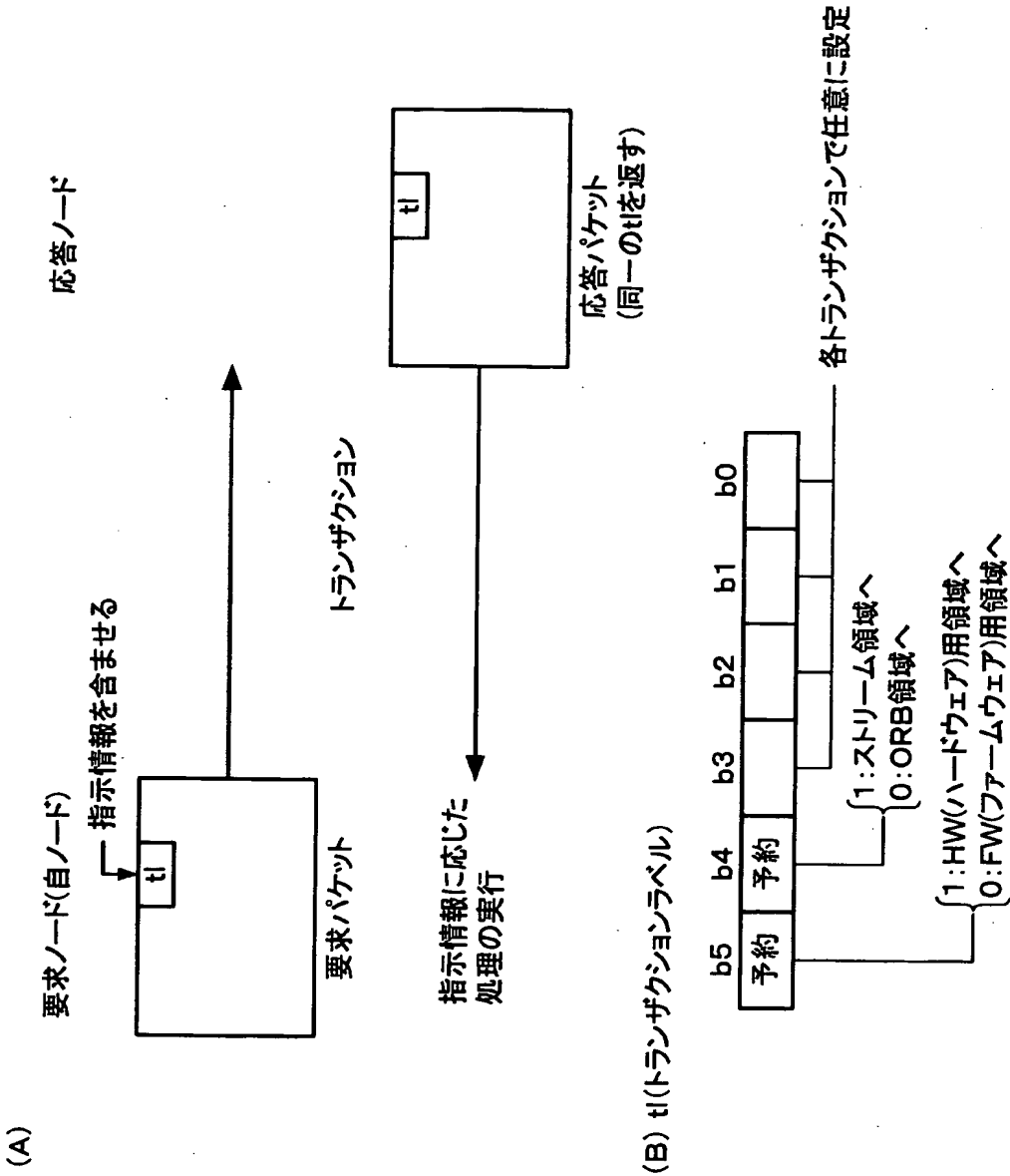
【図 2 5】



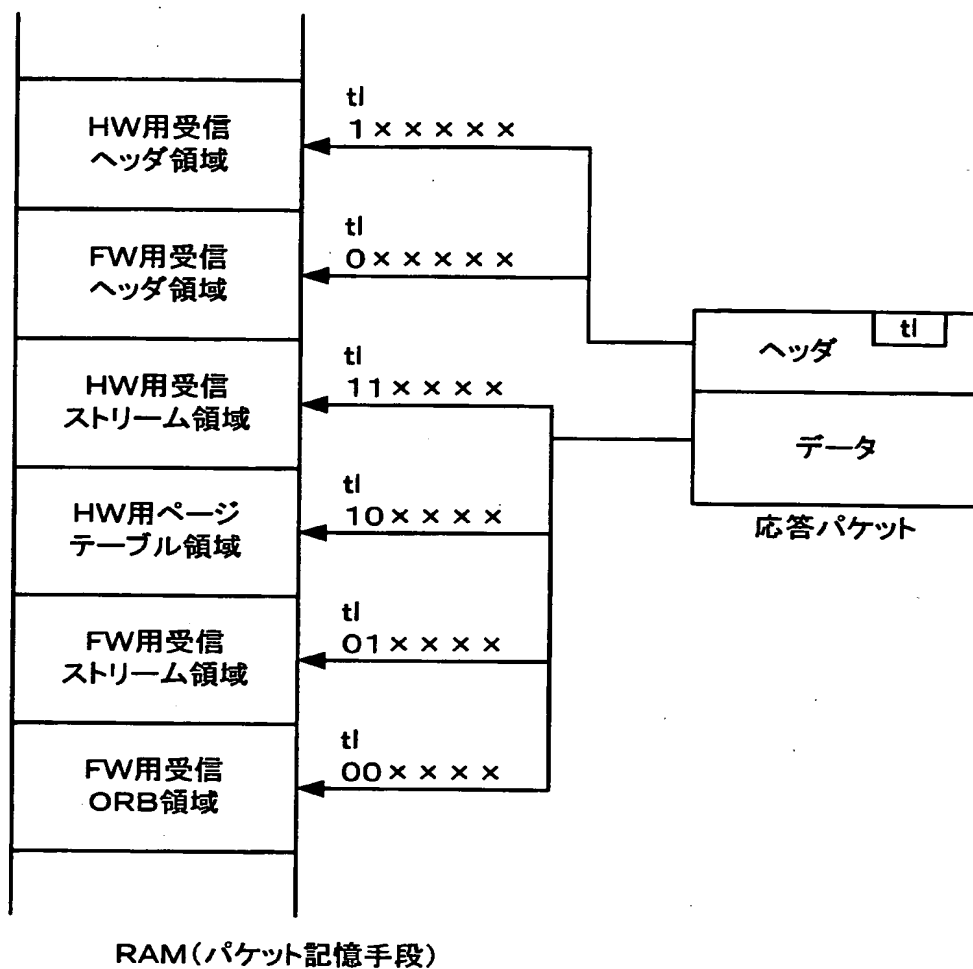
【図 2 6】



【図 2 7】

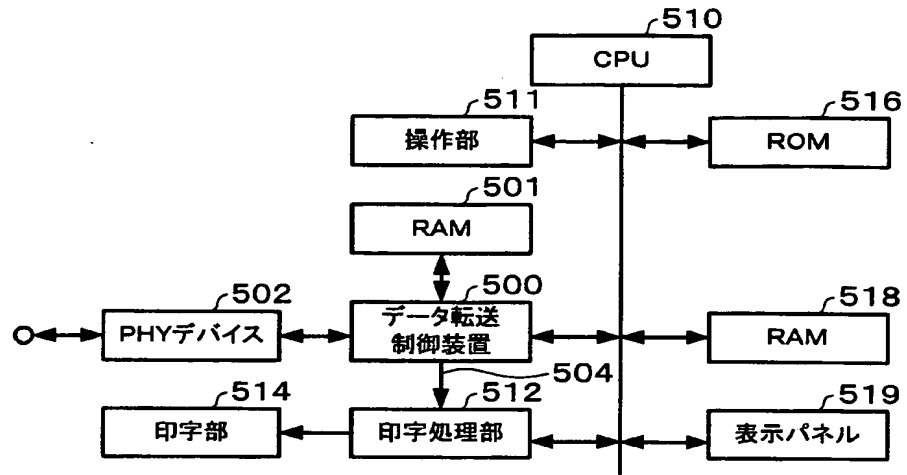


【図 2 8】

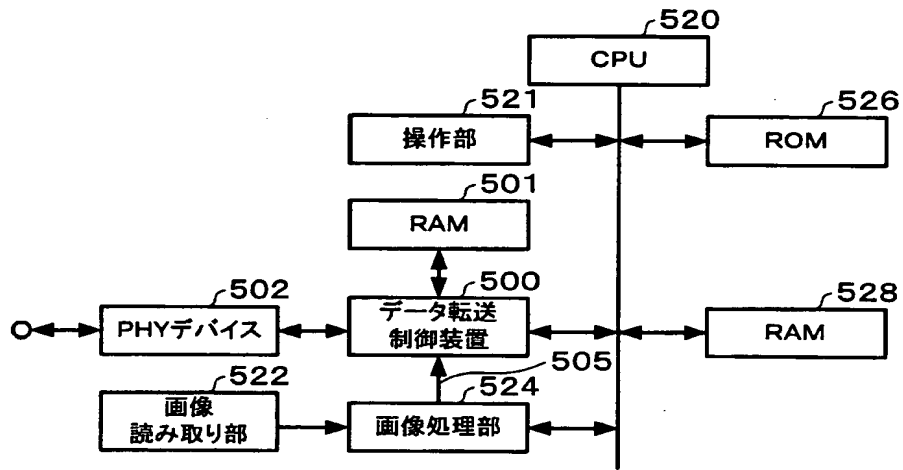


【図 2 9】

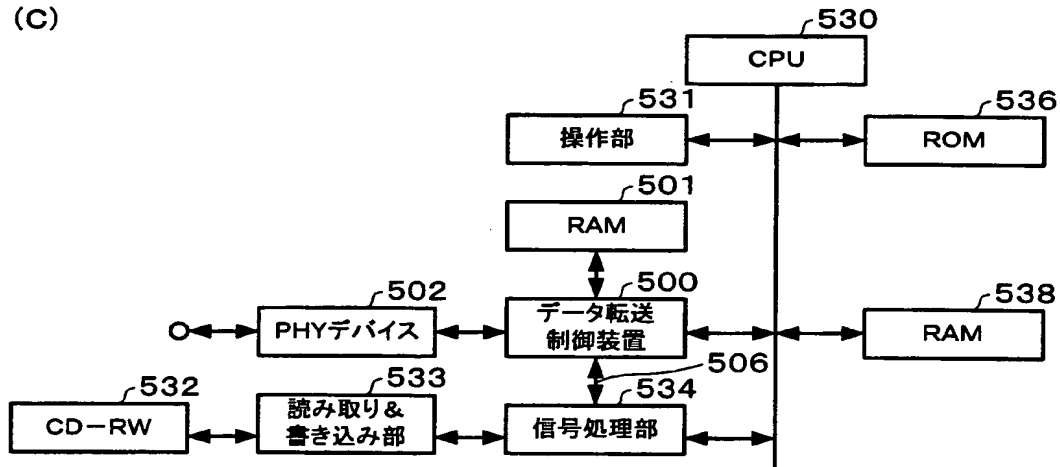
(A)



(B)

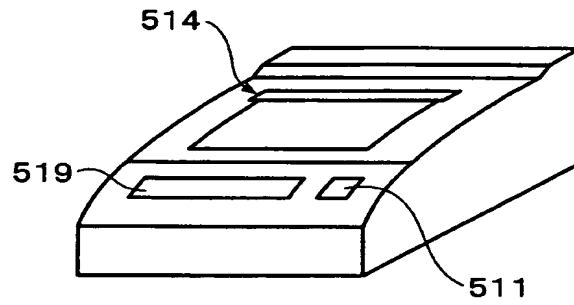


(C)

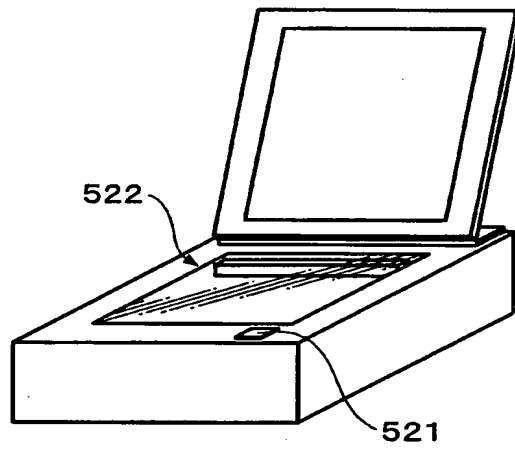


【図 3 0】

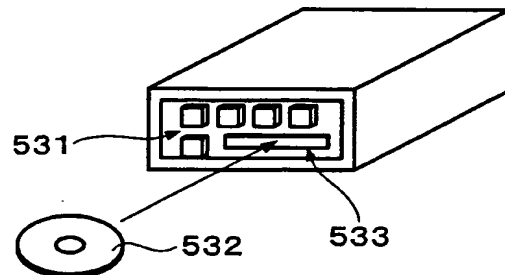
(A)



(B)



(C)



【書類名】 要約書

【要約】

【課題】 ファームウェアの処理のオーバーヘッドを軽減し、小規模なハードウェアで高速なデータ転送を実現できるデータ転送制御装置、電子機器の提供。

【解決手段】 IEEE 1394 規格のデータ転送制御装置において、SBP-2 コア 84 により連続パケット転送（HW 転送）処理が実行されている間に、CPU が FW 転送スタートコマンドを発行した場合に、調停回路 400 は、連続パケット転送における 1 つのトランザクション（又は 1 つのパケット転送）の完了を待って FW 転送を許可する。HWStart と FWStart が同時にアクティブになった場合は FW 転送を優先する。RAM のヘッダ領域が、通常のヘッダ領域と HW 用ヘッダ領域に分離されており、アドレス発生回路 420 が、調停回路 400 からの HWDMA Run に基づいて、通常のヘッダ領域と HW 用ヘッダ領域のいずれのアドレスを発生するかを切り替える。RAM のデータ領域が、ORB 領域と、SBP-2 コア用のストリーム領域に分離されている。

【選択図】 図 18

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社